



МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ГРАЖДАНСКОЙ АВИАЦИИ

В.Н. Петров,
К.Н. Матюхин

ЦИФРОВЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ И ИХ ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

Учебно-методическое пособие
по проведению практических занятий

для студентов
специальности 25.05.03
всех форм обучения

Москва
2019

ФЕДЕРАЛЬНОЕ АГЕНТСТВО ВОЗДУШНОГО ТРАНСПОРТА

**ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ**

**«МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ ГРАЖДАНСКОЙ АВИАЦИИ (МГТУ ГА)»**

**Кафедра технической эксплуатации радиоэлектронного
оборудования воздушного транспорта**

В.И. Петров, К.Н. Матюхин

ЦИФРОВЫЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ И ИХ ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

**Учебно-методическое пособие
по проведению практических занятий**

*для студентов
специальности 25.05.03
всех форм обучения*

Москва
2019

ББК 6П5.8
П-31

Рецензент:

Прохоров А.В. – д-р техн. наук, профессор

Петров В.И.

П-31 Цифровые вычислительные системы и их программное обеспечение: учебно-методическое пособие по проведению практических занятий./ В.И. Петров, К.Н. Матюхин. – Воронеж: ООО «МИР», 2019. – 54 с.

Данное учебно-методическое пособие издается в соответствии с рабочей программой учебной дисциплины «Цифровые вычислительные системы и их программное обеспечение» по учебному плану для студентов специальности 25.05.03 всех форм обучения.

Рассмотрено и одобрено на заседании кафедры 19.06.2019 г. и методического совета 19.06.2019 г.

В авторской редакции.

Подписано в печать 08.07.2019 г.

Формат 60x84/16 Печ.л. 3 Усл. печ. л. 3,49

Заказ 497/ Тираж 50 экз.

Московский государственный технический университет ГА
125993 Москва, Кронштадтский бульвар, д.20

Отпечатано ООО «МИР»

394033, г. Воронеж, Ленинский пр-т 119А, лит. Я, оф. 215

Тел.: 8 (958) 649-53-31 Email: 89586495331@mail.ru

© Московский государственный
технический университет ГА, 2019

Содержание

Практическое занятие 1. Коды, используемые в ЦВМ. Выполнение арифметической операции сложения, вычитания и умножения в кодах ЦВМ	4
Практическое занятие №2 Классификация элементов ЦВМ.....	15
Практическое занятие №3 Узлы ЦВМ последовательного действия.....	32
Практическое занятие №4 Узлы ЦВМ параллельного действия.....	42

Практическое занятие 1

Коды, используемые в ЦВМ. Выполнение арифметической операции сложения, вычитания и умножения в кодах ЦВМ

Цель занятия - изучить принципы кодирования двоичных чисел и алгоритмы выполнения арифметических операций сложения, вычитания и умножения, используемые в ЦВС, на примере принципов и алгоритмов, реализованных в ЦВМ «Орбита».

Учебные вопросы, рассматриваемые на занятии:

1. Системы счисления

Система счисления — это совокупность приемов и правил однозначного обозначения чисел с помощью символов. Различают позиционные и непозиционные системы счисления (СС). Примером непозиционной СС является римская запись чисел, где знаками I, V, X, F, C, D, ..., в частности, обозначаются числа 1, 5, 10, 50, 100, 500, ... Римская, как и древнеегипетская, древневавилонская и другие непозиционные системы счисления, относятся к разряду аддитивных, поскольку в общем случае числа получаются путем сложения и вычитания базовых (узловых) чисел. Например, числа 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 19, 40 в римской системе счисления обозначаются следующим образом: I, II, III, IV, V, VI, VII, VIII, IX, X, XIX, XL. Из примера видно, что числа 2 и 3 получаются путем суммирования базовых единиц I, число 4 - вычитанием I (стоит слева) от V, числа 6, 7, 8 - суммированием V и единицы I, стоящих справа от V, число 19 - вычитанием из второго десятка единицы, а 40 - вычитанием из L (50) величины X (10).

В позиционной системе счисления используется q символов, обычно представляющих собой ряд натуральных чисел: 0, 1, 2, ... $q-1$. Количество используемых в позиционной системе символов q и является основанием данной системы счисления,

В позиционной системе счисления значение числа S зависит не только от используемых символов, в том числе и знаков числа: (+) - положительное, (-) - отрицательное, но и от позиции (положения), которую занимают эти символы относительно точки

$$S = \pm a_n q^n + \dots + a_i q^i + \dots + a_0 q^0 + a_{-1} q^{-1} + \dots + a_{-m} q^{-m}, \quad (1.1)$$

где a_i - один из символов ряда 0, 1, 2, ... $q-1$.

Форма записи (1.1) демонстрирует аддитивно-мультипликативный характер позиционных систем счисления: число получается путем суммирования (аддитивность)

$$S = \pm \sum_{i=-m}^n a_i q^i$$

разрядных символов a_i , но умноженных каждый на свой позиционный весовой коэффициент q^i (мультипликативность).

На практике нашли применение позиционные системы счисления только с целочисленным основанием. Рассмотрим наиболее употребляемые из них.

Десятичная (арабская) система счисления укоренилась в обиходе, поскольку она является весьма удобной для ручного счета (у человека на руках 10 пальцев). Основанием этой системы счисления q является число 10, для обозначения чисел используются десять цифровых символов: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9. Десятичное число -346.57, например, при представлении его в форме (1.1) будет иметь вид:

$$(-346.57)_{10} = -(3 \cdot 10^2 + 4 \cdot 10^1 + 6 \cdot 10^0 + 5 \cdot 10^{-1} + 7 \cdot 10^{-2})_{10}, \quad (1.2)$$

где индексом за скобкой будем при необходимости обозначать основание системы счисления (здесь и далее основание системы обозначается в десятичной системе счисления) представленного числа.

Двоичная система счисления $q=2$. Для обозначения чисел в ней используется всего два цифровых символа - 0 и 1. Эта система счисления наиболее распространена в современных цифровых вычислительных машинах. Объясняется это тем, что наиболее отработанными электронными элементами для ЦВМ являются элементы с устойчивой фиксацией и надежным распознаванием двух устойчивых состояний, например, триггеры. Двоичное число 1011.011 в форме (1.1) имеет вид:

$$(1011.011)_2 = 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 + 0 \cdot 2^{-1} + 1 \cdot 2^{-2} + 1 \cdot 2^{-3}.$$

Восьмеричная система счисления $q=8$ оперирует с цифровыми символами 0, 1, 2, 3, 4, 5, 6, 7. Приведем пример написания числа в восьмеричной системе счисления:

$$(-346.57)_8 = -(3 \cdot 8^2 + 4 \cdot 8^1 + 6 \cdot 8^0 + 5 \cdot 8^{-1} + 7 \cdot 8^{-2})_8. \quad (1.3)$$

Как видно из сравнения выражений (1.2) и (1.3), даже при совпадении символов (в левых частях) значения чисел (правые части) в разных системах счисления будут разными $(-346.57)_{10} \neq (-346.57)_8$.

Шестнадцатеричная система счисления $q=16$ оперирует с символами 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, А, В, С, D, E, F. В шестнадцатеричной системе счисления для символов арабских цифр не хватает, и поэтому для однозначности чтения чисел используются и буквы латинского алфавита: А - для обозначения цифры десять, В - одиннадцать, С - двенадцать, D - тринадцать, E - четырнадцать и F - пятнадцать. Шестнадцатеричное число - 5AF.1C в форме (1.1) имеет вид:

$$-(5AF.1C)_{16} = -(5 \cdot 16^2 + A \cdot 16^1 + F \cdot 16^0 + 1 \cdot 16^{-1} + C \cdot 16^{-2}).$$

Из выражения (1.1) и приведенных примеров видно, что в позиционных системах счисления с любым целочисленным основанием целая часть числа остается целой, расположенной слева от точки (подчеркнуто линией), дробная часть - дробной, находящейся справа от точки. Числа X , удовлетворяющие ограничению $-1 < X < 1$, или, что-то же самое, $|X| < 1$, представляются в виде

$$X = \pm \cdot x_{-1} x_{-2} \dots x_{-m} \quad (1.4)$$

и называются правильными дробями. Напоминает, что числа, содержащие целую и дробную части, называются вещественными. При представлении вещественных чисел в позиционных системах счисления, кроме знака (+, -), необходимо контролировать требуемые точность и диапазон представления чисел.

2. Точность и диапазон представления чисел в ЦВМ с фиксированной точкой

Точность представления вещественных чисел определяется ценой единицы младшего разряда, то есть зависит от основания системы счисления и числа разрядов дробной части (здесь и далее применяется условие точного представления целой части числа). практический интерес представляет решение вопроса о равнозначности представления чисел в различных позиционных системах счисления. Условие равнозначности - равенство весов младших разрядов k и l дробных частей в системах счисления с основанием p и q :

$$1 \cdot p^{-k} = 1 \cdot q^{-l}. \quad (1.5)$$

Прологарифмировав выражение (1.5), например, по основанию q получим:

$$l = k \cdot \log_q p. \quad (1.6)$$

В табл.1.1 представлены значения $\log_q p$ для рассмотренных систем счисления при $p=10$.

Таблица 1.1

q	10	2	8	16
$\log_q 10$	1	3,32	1,11	0,83

Из таблицы видно, например, что при равнозначном представлении чисел в двоичной системе счисления требуется в 3,32 раза, а в восьмеричной в 1,11 раза больше разрядов в дробной части, чем в десятичной системе счисления.

Диапазон представления чисел в позиционных системах счисления не ограничен за счет неограниченного количества разрядов n целой части числа (см. 1.1). Более того, поскольку отрицательные и положительные числа в

позиционных системах счисления симметричны относительно 0, то достаточно при определении диапазонов рассматривать лишь модуль числа, который сам по себе также не имеет ограничений. Легко показать, что модуль дробной части числа $|R|$ при $m \rightarrow \infty$ может асимптотически приближаться к единице. Действительно, дробная часть (1.1) $|R| = a_{-1}q^{-1} + \dots + a_{-m}q^{-m}$ при $a_i = q - 1$ представляет собой сумму геометрической прогрессии

$$|R| \leq (q - 1)q^{-1} + \dots + (q - 1)q^{-m} = \frac{(q - 1)q^{-1} - (q - 1)q^{-m}q^{-1}}{1 - q^{-1}} = 1 - q^{-m}, \quad (1.7)$$

которая при $m \rightarrow \infty$ устремляется к 1.

Максимум же целой части числа выражается при заданном числе n следующим неравенством:

$$(a_{n-1} \dots a_0)_q \leq (q - 1)q^{n-1} + \dots + (q - 1)q^0 = \frac{(q - 1)q^{n-1} \cdot q - (q - 1)q^0}{q - 1} = q^n - 1. \quad (1.8)$$

Выражение (1.8) получено аналогично (1.7) путем сведения суммы ряда убывающей геометрической прогрессии к каноническому виду. С помощью (1.8) легко решается вопрос об условии равенства диапазонов представления чисел в различных системах счисления за счет выделения требуемой разрядной сетки для целой части числа. Действительно, пусть исходное число задано n разрядами целой части в системе счисления с основанием p . Требуется определить нужное количество разрядов r для равнодиапазонного представления этого числа в системе счисления с основанием q . Условие равенства диапазонов имеет вид:

$$p^n - 1 = q^r - 1 \quad (1.9)$$

Прологарифмировав (1.9) по основанию q , получим выражение:

$$r = n \log_q p, \quad (1.10)$$

аналогичное (1.6). Следовательно, при $p = 10$ значение $\log_q 10$ может быть взято из табл. 1.1.

Пример. В десятичной системе счисления при $n=3$ диапазон модуля числа X определяется неравенством $|X| \leq 10^3 - 1$ или, что то же самое, $-999 \leq X \leq 999$. Определить r при $q = 2$.

$$r = n \log_q p = 3 \cdot 3,32 \approx 10.$$

Следовательно, номинал трехразрядного целого десятичного числа гарантированно размещается в целой десятиразрядной части двоичного числа.

Формальное совпадение (1.6) и (1.10) позволяет сделать обобщающий вывод: при эквивалентном представлении чисел в различных позиционных

системах счисления по условиям точности и диапазона необходимо, согласно табл.1.1, увеличивать (уменьшать) разрядность целой и дробной части числа в одно и то же количество раз.

3. Прямой, обратный и дополнительный коды чисел

Рассмотрим два основных кода представления двоичных чисел в ЦВМ прямой и дополнительный.

Прямой код $(X)_{\text{пр}}$ двоичного числа X образуется по правилу присоединения

$$|X|_{\text{пр}} = x_{\text{зн}} |X|, \quad (1.11)$$

где $x_{\text{зн}}$ - знаковый разряд, присоединяемый непосредственно левее старшего разряда модуля числа X , $x_{\text{зн}} = 0$ при $X \geq 0$ и $x_{\text{зн}} = 1$ при $X < 0$; $|X|$ - модуль исходного двоичного числа.

Примеры представления двоичных чисел в прямом коде приведены в табл.1.2.

Таблица 1.2

Число	Его прямой код
101101	0101101
-011111	1011111
1.10110	01.10110
-10.101	110.101
.101101	0.101101
-.011001	1.011001

В ЦВМ с фиксированной точкой числа представляются после масштабирования в виде правильной дроби $-1 \leq X < 1$, поэтому выражение их в прямом коде имеет вид:

$$|X|_{\text{пр}} = x_{\text{зн}} x_{-1} x_{-2} \dots x_{-m}.$$

Как видно из последнего примера табл.1.1, знаковый разряд размещается левее старшего разряда, если даже последний заполнен 0.

Дополнительный код положительного числа равен его прямому коду

$$[X]_{\text{доп}} = [X]_{\text{пр}} = 0. + [X]_{\text{пр}} = 0. + ([X]_{\text{пр}}) \bmod 1 = 0. + X = X, \quad \text{при } X \geq 0. \quad (1.12)$$

Пять эквивалентных выражений для дополнительного кода положительного числа X приведены в (1.12) для общности уже существующих в литературе формализаций с вводимой $|x|_{\text{доп}} = 0. + ([X]_{\text{пр}}) \bmod 1$, где взятие по модулю один ($\bmod 1$) в двоичной системе счисления означает отбрасывание разрядных единиц в целой части числа, если они там имели место.

Отрицательное число X в процессе дополнительного кодирования заменяется дополнением его прямого кода, взято по модулю единица, до величины $(10.)_2$:

$$[-X]_{\text{доп}} = (10.)_2 - ([-X]_{\text{пр}}) \bmod 1. \quad (1.13)$$

Реализуем на примере в общем виде алгоритм (1.13) получения дополнительного кода отрицательного числа:

$$(10.)_2 = 10.\overset{1}{0}\overset{1}{0}\overset{1}{0}\dots\overset{1}{0}\overset{1+1}{0}$$

$$\frac{(|X|_{\text{пр}}) \bmod 1 = 0.x_{-1}x_{-2}\dots x_{-(m-1)}x_{-m}}{|X|_{\text{доп}} = (10.)_2 - (|X|_{\text{пр}}) \bmod 1 = 1.\bar{x}_{-1}\bar{x}_{-2}\dots\bar{x}_{-(m-1)}\bar{x}_{-m} + 1 \cdot (10.)_2^{-m} = (10.)_2 + X}, \quad (1.14)$$

при $X < 0$.

В соответствии с правилами элементарной арифметики для того, чтобы в (1.14) произвести вычитание в любом разряде, зайдем в старшем разряде уменьшаемого единицу и распределим ее, как показано сверху, по разрядам этого числа. Оставшуюся в младшем разряде вторую единицу $1 \cdot (10.)_2^{-m}$ напишем в результате как отдельное слагаемое. Как видно, все цифры результата оказались инвертированными \bar{x}_i по отношению к соответствующим цифрам в разрядах x_i отрицательного числа (вычитаемого):

$$\bar{x}_i = 1, \text{ если } x_i = 0;$$

$$\bar{x}_i = 0, \text{ если } x_i = 1.$$

Инвертированную часть результата для $X < 0$ в (1.14) $1.\bar{x}_{-1}\bar{x}_{-2}\dots\bar{x}_{-m}$ называют обратным кодом

$$[X]_{\text{обр}} = 1.\bar{x}_{-1}\bar{x}_{-2}\dots\bar{x}_{-m}; \quad [X]_{\text{доп}} = [X]_{\text{обр}} + 1 \cdot (10.)_2^{-m}.$$

Обратный код положительного числа ($X > 0$) равен самому числу $|X|_{\text{обр}} = X$. Заметим $[0]_{\text{обр}} = 0,00 \dots 00$ и $[0]_{\text{доп}} = 1,11 \dots 11$, что, в частности, и предопределило практическую неприемлемость обратных кодов в ЦВМ.

В вычислительной технике используется и такая формульная запись образования дополнительного кода:

$$[X]_{\text{доп}} = \begin{cases} X \text{ при } X \geq 0; \\ (10.)_2 + X \text{ при } X < 0, \end{cases}$$

что не противоречит (1.12) и (1.14).

Анализируя (1.14), можем сформулировать правило: дополнительный код отрицательного числа получается из прямого кода этого числа путем инвертирования всех разрядов, кроме знакового, и прибавлением единицы младшего разряда.

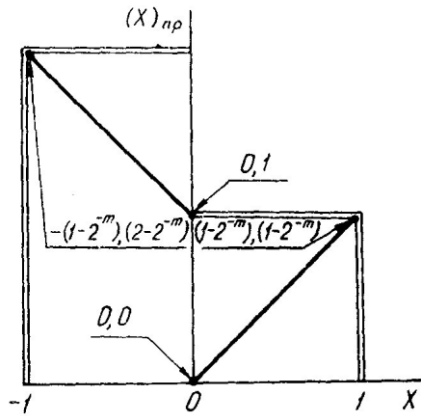


Рис. 4.1

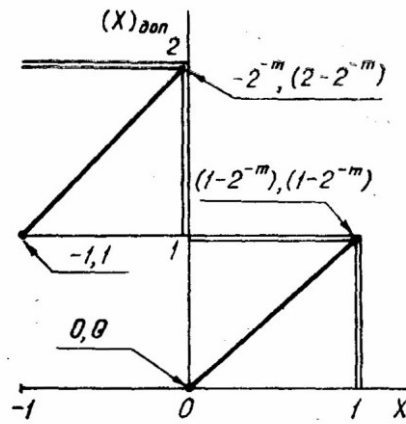


Рис. 4.2

Примеры:

1. $[X]_{\text{пр}} = 1.1010111$; $[X]_{\text{доп}} = 1.0101000 + 0.0000001 = 1.0101001$;
2. $[X]_{\text{пр}} = 1.1010000$; $[X]_{\text{доп}} = 1.0101111 + 0.0000000 = 1.0110000$.

4. Получение дополнительного кода числа. Решение обратной задачи

Анализируя второй пример, замечаем, что все нули, стоящие справа в конце числа, сначала преобразуются в единицы, а затем, после прибавления единицы младшего разряда, снова становятся нулями. Образующаяся же при этом единица переноса восстанавливает единицу в младшем разряде прямого исходного кода. С учетом изложенного практическое правило получения дополнительного кода может быть сформулировано следующим образом: для получения дополнительного кода отрицательного числа следует в прямом коде этого числа инвертировать все цифры кроме знаковой, последней значащей единицы и следующих за ней в более младших разрядах нулей.

На практике после выполнения в ЦВМ вычислений в дополнительных кодах возникает задача представления результата в прямом коде. Покажем, что взятие дополнительного кода от дополнительного кода приводит к получению прямого кода исходного числа. Для положительных чисел по определению (1.12) это утверждение очевидно. Доказательство для отрицательных чисел выполним ради общности, пользуясь формульным представлением чисел и кодов (1.13), (1.14):

$$\begin{aligned}
 [[X]_{\text{доп}}]_{\text{доп}} &= (10.)_2 - ([X]_{\text{доп}}) \bmod 1; \\
 ([X]_{\text{доп}}) \bmod 1 &= (1.\bar{x}_{-1}\bar{x}_{-2}\dots\bar{x}_{-(m-1)}\bar{x}_{-m} + 1 \cdot (10.)_2^{-m}) \bmod 1 = \\
 &= 0.\bar{x}_{-1}\bar{x}_{-2}\dots\bar{x}_{-(m-1)}\bar{x}_{-m} + 1 \cdot (10.)_2^{-m},
 \end{aligned}$$

опять же для общности, в общем виде,

$$\begin{array}{cccccc}
 1 & 1 & 1 & 1 & 1 & +1 \\
 (10.)_2 = 10. & 0 & \dots & 0 & 0 &
 \end{array}$$

$$\begin{aligned}
\frac{([X]_{\text{дон}}) \bmod 2 = 0 \cdot \bar{x}_{-1} \bar{x}_{-2} \dots \bar{x}_{-(m-1)} \bar{x}_{-m} + 1 \cdot (10)_2^{-m}}{[[X]_{\text{дон}}]_{\text{дон}} = (10)_2 - ([X]_{\text{дон}}) \bmod 2} & \quad (1.15) \\
= 1 \cdot x_{-1} x_{-2} \dots x_{-(m-1)} x_{-m} + 1 \cdot (10)_2^{-m} & \\
= 1 \cdot x_{-1} x_{-2} \dots x_{-m} = [X]_{\text{пр}} & .
\end{aligned}$$

Введенная формула получения дополнительного кода отрицательного числа (1.13) обладает универсальностью, потому что справедлива и для обратного преобразования из дополнительного в прямой код числа.

5. Выполнение арифметических операций в кодах ЦВМ

В ЦВМ, как отмечалось выше, используется дополнительный код чисел. В арифметическом устройстве ЦВМ при выполнении операций участвуют не более двух операндов-чисел. Операция сложения в двоичной арифметике основывается на таблице сложения 1.3.

Таблица 1.3

0	+	0	=	0
0	+	1	=	1
1	+	0	=	1
1	+	1	=	10

Дополнительный код суммы равен сумме дополнительных кодов слагаемых.

$$[X]_{\text{дон}} + [Y]_{\text{дон}} = [X + Y]_{\text{дон}}, \quad (1.16)$$

Факт переполнения свидетельствует о том, что масштабирование алгоритма выполнено ошибочно. При переполнении происходит искажение результатов. Такого рода искажения в вычислениях являются недопустимыми. Поэтому возникает вопрос о выявлении и использовании при управлении вычислительным процессом признака переполнения. Практически признак переполнения может быть использован либо для его разветвления с заменой масштабных коэффициентов, при которых переполнение не происходит, либо для остановки вычислительного процесса. Признак переполнения может быть получен непосредственно в сумматоре путем логического переноса из старшего в знаковый P_1 и из знакового $P_{\text{зн}}$ разрядов:

$$\varphi_+ = P_{\text{зн}} \wedge \bar{P}_1 \vee \bar{P}_{\text{зн}} \wedge P_1. \quad (1.17)$$

В ЦВМ типа “Орбита” кроме качественного признака переполнения:

$$\varphi = \begin{cases} 0, & \text{если результат арифметической операции } |z| \geq 1; \\ 1, & \text{если } |z| \geq 1, \end{cases}$$

определяется качественный признак ω знака результата:

$$\omega = \begin{cases} 0, & \text{если } z \geq 0; \\ 1, & \text{если } z < 0. \end{cases}$$

Значение признака ω при выполнении сложения, как видно из определения, при отсутствии переполнения совпадает со значением знакового разряда результата.

6. Алгоритм операции вычитания, Переполнение при вычитании

Правило выполнения операции вычитания при использовании дополнительных кодов легко получается из операции сложения (1.16):

$$[X - Y]_{\text{дон}} = [X + (-Y)]_{\text{дон}} = ([X]_{\text{дон}} + [-Y]_{\text{дон}}) \text{ mod } 2. \quad (1.18)$$

Отличием является то, что второе слагаемое (вычитаемое) меняет свой знак на противоположный.

Пользуясь полученным ранее выражением дополнительного кода отрицательного числа, получим

$$[X - Y]_{\text{дон}} = ([X]_{\text{дон}} + [\bar{Y}]_{\text{дон}} + 2^{-m} \text{ mod } 2, \quad (1.19)$$

которое справедливо при отсутствии переполнения в разрядной сетке результата $|Z| = |X - Y| < 1$. Переполнение при неправильном масштабировании также определяется по формуле (1.17).

Учебные вопросы, рассматриваемые на занятии.:

1. Коды, используемые в ЦВМ:

- прямой, дополнительный коды числа;
- переход от одного кода к другому;
- получение дополнительных кодов.

2. Выполнение арифметической операции сложения в кодах ЦВМ. Определение переполнения разрядной сетки при сложении.

3. Выполнение арифметической операции вычитания в кодах ЦВМ через операцию сложения. Определение переполнения разрядной сетки при вычитании.

При рассмотрении первого вопроса особое внимание обратить на то, что коды, применяемые в ЦВМ, используют форму записи числа с фиксированной точкой. При рассмотрении второй части вопроса напомнить четыре основополагающих правила для перевода чисел из одной системы счисления в другую:

При рассмотрении второго и третьего вопросов отдельно рассмотреть получение признака переполнения ϕ по переключательной функции и на основе анализа наличия логического переноса из старшего разряда в знаковый и из знакового разрядов.

При рассмотрении учебных вопросов на практическом занятии решаются задания.

Задания:

1. К первому вопросу:

Получить $[X]_{\text{пр}}$, $[X]_{\text{доп}}$ следующих чисел:

$x = -0,1011$; $x = 0,0011$; $x = -0,0001$; $x = -0,1111$.

2. Ко второму и третьему вопросам:

Вычислить $[X + Y]_{\text{доп}}$ и $[X - Y]_{\text{доп}}$ и определить признак ф для чисел:

а) $x = 0,1000$ $y = 0,1100$;

б) $x = -0,1100$ $y = 0,1011$;

в) $x = 0,1101$ $y = -0,0010$;

г) $x = -0,1001$ $y = -0,0110$.

Формулы для вычислений:

$$[X + Y]_{\text{доп}} = ([X]_{\text{доп}} + [Y]_{\text{доп}} + 0 \cdot 2^{-m})_{\text{mod } 2};$$

$$[X - Y]_{\text{доп}} = ([X]_{\text{доп}} + \overline{[Y]_{\text{доп}}} + 1 \cdot 2^{-m})_{\text{mod } 2}.$$

Формулы для определения значения признака переполнения:

$$\varphi_+ = \bar{x}_{\text{зн}} \bar{y}_{\text{зн}} [X + Y]_{\text{зн}} + x_{\text{зн}} y_{\text{зн}} \overline{[X + Y]_{\text{зн}}};$$

$$\varphi_- = \bar{x}_{\text{зн}} y_{\text{зн}} [X - Y]_{\text{зн}} + x_{\text{зн}} \bar{y}_{\text{зн}} \overline{[X - Y]_{\text{зн}}};$$

$$\varphi_+ = P_{\text{зн}} \wedge \bar{P}_1 \vee \bar{P}_{\text{зн}} \wedge P_1$$

Вариант 1.1

1. Переведите числа из десятичной системы счисления в двоичную, восьмеричную и шестнадцатеричную системы счисления.

а) 949;

б) 763;

в) 994,125;

г) 523,25;

д) 203,82.

2. Переведите числа в десятичную систему счисления.

а) 111000111₂;

б) 100011011₂;

в) 1001100101,1001₂;

г) 1001001,011₂;

д) 335,7₈;

е) 14C, A₁₆.

Вариант 1.2

1. Выполните сложение чисел.

- а) $0,1110101010_2 + 0,10111001_2$;
 б) $0,10111010_2 + 0,10010100_2$;
 в) $0,1111011101_2 + 0,11110111101_2$;

2. Выполните вычитание чисел.

- а) $0,1000000100_2$ $0,0101010001_2$;
 б) $0,1010111101_2$ $0,0111000010_2$;
 в) $0,1101000000_2$ $0,0100101101_2$;

Контрольные вопросы:

1. Классификация систем счисления.
2. Точность и диапазон представления чисел в ЦВМ с фиксированной точкой.
3. Прямой, обратный и дополнительный коды чисел.
4. Получение дополнительного кода числа. Решение обратной задачи.
5. Выполнение арифметических операций в кодах ЦВМ.
6. Алгоритм операции вычитания, переполнение при вычитании.

Литература

1. Цифровые вычислительные системы и их программное обеспечение. Учебное пособие для вузов. К.Н. Матюхин, В.И. Петров. М.: МГТУ ГА, 2019.
2. Системы автоматического управления: бортовые цифровые вычислительные системы. Учебное пособие для вузов. В. М. Антимиров ; под науч. ред. В. В. Телицина. — М. : Издательство Юрайт, 2017.
3. Бортовые цифровые вычислительные устройства и машины. Учебное пособие для вузов. Р.М. Половов, А.Г. Роцин. М.: МГТУ ГА, 2003.
4. Бортовые цифровые вычислительные устройства и машины: Учебник для вузов. М. ВВИА им. Н.Е. Жуковского, 2008.
5. Вычислительные машины комплексов авиационного оборудования. Учебник для вузов. С.П. Кастерский, Б.О. Качанов, Ю.А. Кочетков, В.М. Томшин, И.А. Шур - М.: Воениздат, 1995.

Практическое занятие 2

Классификация элементов ЦВМ

Цель занятия - изучить конструктивные части ЦВМ, не разделяющиеся при эксплуатации на более мелкие.

Учебные вопросы, рассматриваемые на занятии:

1. Назначение и классификация базовых элементов ЦВМ

Элементами называют конструктивные части ЦВМ, не разделяющиеся при эксплуатации на более мелкие. Такими элементами являются интегральные схемы (ИС). Интегральные схемы несмотря на то, что конструктивно они не разделяются, являются сложными устройствами и, в свою очередь, состоят из элементов, выполняющих простейшие операции по обработке, хранению и передаче информации. Такие элементы, в отличие от ИС называют базовыми. Базовый элемент состоит из нескольких (не более 10) деталей (транзисторы, резисторы, диоды и др.).

Интегральная схема содержит обычно несколько базовых элементов, соединенных между собой определенным образом. Количество (N) базовых элементов в ИС определяет важный параметр схемы. Этот параметр называется степенью интеграции (K) и определяется зависимостью:

$$K = \lceil \lg N \rceil$$

Различают малые ($N < 10$), средние ($10^2 < N < 10^3$), большие ($10^3 < N < 10^4$), и сверхбольшие ($N > 10^4$), ИС.

Интегральные схемы делятся на группы (серии), каждая из которых имеет классификационный номер. Например, в ЦВМ “Орбита - 10” используются ИС серии 221, а в ЦВМ “Орбита - 20” - ИС серии 112. Особенностью ИС одной серии является возможность их соединения без согласующих устройств, в то время как для ИС различных серий такая возможность не обязательна.

Элементы ЭВМ можно разделить на следующие группы:

- логические элементы;
- элементы памяти;
- элементы задержки и формирования длительности сигналов;
- формирующие и усилительные элементы;
- элементы индикации и управления.

Далее основное внимание уделяется логическим элементам и элементам памяти, поскольку именно они выполняют основные операции в ЦВМ. Вопросы функционирования остальных элементов рассматриваются попутно, при изучении конкретных схем.

Система базовых элементов выбирается таким образом, чтобы с их помощью можно было вычислить произвольную переключательную функцию. Из

алгебры логики известно, что сформулированному требованию удовлетворяет набор операций И, ИЛИ, НЕ. Такой набор называется функционально полным. Функционально полным является любой другой набор операций (и элементов), который выполняет операции И, ИЛИ, НЕ. В интегральных схемах в качестве базовых используются элементы, выполняющие операции И - НЕ либо ИЛИ - НЕ. Каждая из этих операций обладает функциональной полнотой. Покажем, что элемент И - НЕ обеспечивает выполнение операций И, ИЛИ, НЕ. Данный элемент вычисляет переключательную функцию

$$z = \overline{x \cdot y}$$

Полагая $y = 1$, получим, что данный элемент выполняет операцию инвертирования:

$$z = \overline{x}.$$

Применяя теорему де Моргана, получим, что данный элемент выполняет сложение переменных:

$$z = \overline{\overline{x} + \overline{y}}$$

Функциональная полнота элемента доказана. Аналогично доказывается функциональная полнота элемента ИЛИ-НЕ. Использование названных элементов в качестве базовых сокращает необходимую номенклатуру элементов интегральных схем до минимума, упрощает их разработку и изготовление.

При необходимости базовый элемент типа И-НЕ дополняется элементами, которые называются функциональными расширителями.

Базовые элементы интегральных схем (И-НЕ, ИЛИ-НЕ) выполняются на различных компонентах. В зависимости от используемых компонентов различают следующие типы элементов:

- диодно-транзисторная логика (ДТЛ);
- транзисторно-транзисторная логика с диодами Шоттки (ТТЛШ);
- эмиттерно-связанная логика (ЭСЛ);
- интегральная инжекционная логика (ИИЛ или И²Л);
- транзисторно-транзисторная логика на МДП-транзисторах n -типа или p -типа и комплементарных транзисторных парах (n -МДПТЛ, p -МДПТЛ, КМДПТЛ).

Термин “логика” равнозначен термину “логические элементы”.

Элементы ДТЛ используются в ИС серий 112 и 221. В базовом элементе (рис.5.6а) и функциональных расширителях (рис.5.6б) для выполнения операций И и ИЛИ используются диоды и резисторы. Транзистор VT1 используется в качестве инвертора. Типовые значения параметров элемента: $U_{\text{ин}} = 5 \text{ В}$, $U^1 \geq 2,5 \text{ В}$, $U^0 \leq 0,5 \text{ В}$, $U_{\text{п}} = 1,5 \text{ В}$.

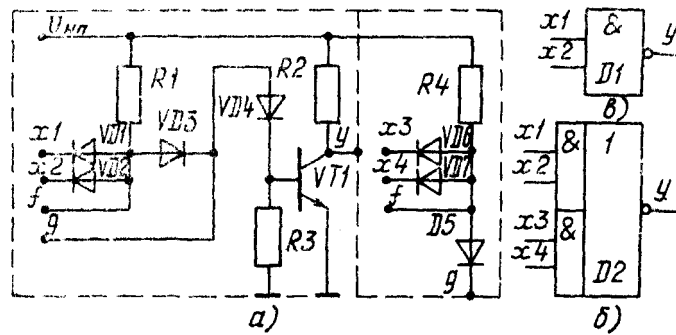


Рис. 5.6

Базовый элемент выполняет операцию И-НЕ. Действительно при $x_1 = 0$ или $x_2 = 0$ потенциал точки “f” превышает U^0 лишь на величину падения напряжения на открытом диоде (VD1 или VD2). Следовательно $U_f \cong 1,1$ В, что ниже порога переключения. Транзистор VT1 закрыт и $y = 1$. Если же $x_1 = 1, x_2 = 1$, то диоды VD1 и VD2 закрываются, а транзистор VT1 переводится в насыщение током, протекающим через резистор R1. На выходе элемента формируется сигнал логического нуля $y = 0$.

Условное графическое обозначение базового элемента ДТЛ, соответствующее его функциям, показано на рис.5.6,в. Функциональный расширитель в данной системе элементов (рис.5.6,б) используется либо для увеличения числа входов схемы И либо для выполнения операции ИЛИ над результатами логического умножения. В первом случае необходимо соединить точки “f” базового элемента и расширителя, а во втором - точки “g”. Если соединить точки “g”, то базовый элемент с функциональным расширителем будет вычислять функцию

$$y = \overline{x_1 \cdot x_2 + x_3 \cdot x_4}.$$

Недостатками элементов ДТЛ являются наличие в схемах разнородных компонентов и относительно невысокое быстродействие, обусловленное насыщением инверторов. В новых разработках элементы ДТЛ не применяются.

Элементы ТТЛ и ТТЛШ широко применяются в интегральной схемотехнике (серии 133, 134, 155, 531, 555 и т.д.) Типовые значения параметров этих элементов следующие: $U_{ин} = 5$ В, $U^1 \geq 2,4$ В, $U^0 \leq 0,5$ В, $U_{п} = 1,45$ В.

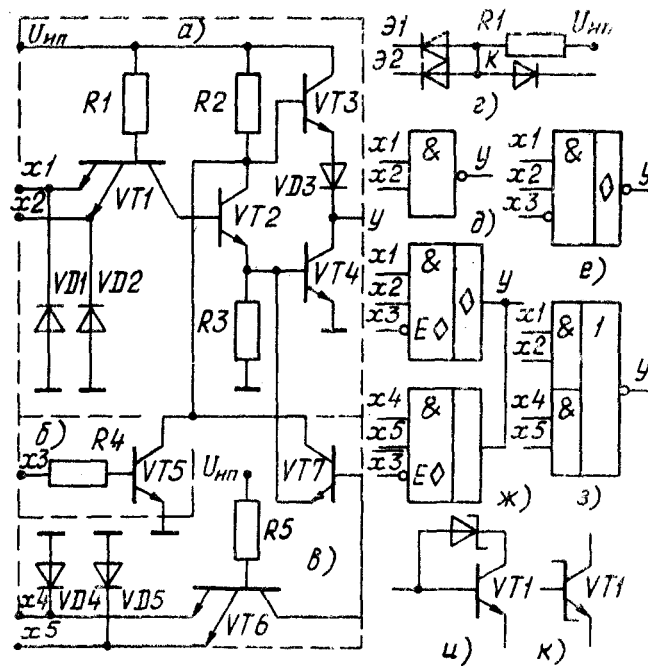


Рис. 5.7

Базовый элемент ТТЛ (рис.5.7а) выполняет, как и ранее рассмотренный элемент ДТЛ, операции И-НЕ

$$y = \overline{x_1 \cdot x_2}.$$

Операцию логического умножения выполняет многоэмиттерный транзистор VT1, эквивалентная диодно-резисторная схема которого приведена на рис.5.7,г. Работа остальной части схемы базового элемента определяется результатом логической операции.

Если $x_1 \cdot x_2 = 0$, то транзисторы VT2 и VT4 закрыты, а нагрузка через открытый транзистор VT3 подсоединена к источнику питания $U_{\text{ин}}$ ($y = 1$). Если $x_1 \cdot x_2 = 1$, то транзисторы VT2 и VT4 насыщены, а транзистор VT3 закрыт. В этом случае нагрузка через насыщенный транзистор VT4 подсоединена к корпусу ($y = 0$). Условное обозначение базового элемента показано на рис.5.7,д.

Вместе с базовым элементом ТТЛ используются два типа функциональных расширителей. Ранее мы показали, что выходной каскад базового элемента может находиться в двух состояниях: 0 ($y = 0$) и 1 ($y = 1$). Функциональный расширитель (рис.5.7,б) переводит элемент в третье состояние, отключая при $x_3 = 1$ его выход от обоих полюсов источника питания. Условное обозначение элемента с тремя состояниями показано на рис.5.7,е. Элементы с тремя состояниями можно соединять по схеме, которая называется “монтажное ИЛИ” (рис.5.7,ж). Схема, приведенная на рис.5.7,ж, вычисляет функцию

$$y = \overline{x_3 \cdot (x_1 \cdot x_2)} + \overline{(x_4 \cdot x_5)}.$$

Функциональный расширитель, приведенный на рис.5.7,в, работает аналогично соответствующей схеме базового элемента. Соединение базового элемента с данным расширителем (рис.5.7,з) обеспечивает вычисление функции

$$y = x_1 \cdot x_2 + x_4 \cdot x_5.$$

Некоторые элементы ТТЛ используют выходной каскад, в котором отсутствуют транзистор VT3 и диод VD3 (каскад с открытым коллектором). Таковы основные моменты схемотехники элементов ТТЛ.

Данные элементы отличаются высоким быстродействием, так как перезаряд емкости вниз осуществляется через малые сопротивления открытых транзисторов (VT3 либо VT4). Недостатком элементов является работа транзистора VT4 в режиме насыщения. Этот недостаток частично устранен в элементах ТТЛШ, которые отличаются от элементов ТТЛ наличием диодов (рис.5.7,и), ограничивающих насыщение транзисторов (на рис.5.7,к показано условное обозначение транзистора с диодом Шоттки). Элементы ТТЛШ за счет ограничения насыщения транзисторов имеют более высокое быстродействие, чем элементы ТТЛ, и потребляют от источника меньшую мощность.

Элементы ЭСЛ используются в ИС серий 100, 500 и др. Типовые значения основных параметров элемента (рис.5.8) следующие: $U_{\text{нп}} = 5,2 \text{ В}$, $U^1 \geq 4,2 \text{ В}$, $U^0 \leq 3,5 \text{ В}$, $U_{\text{п}} = 3,75 \text{ В}$.

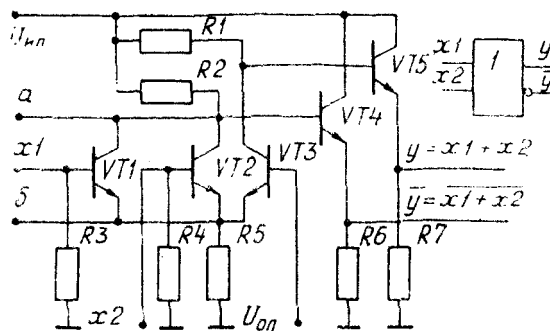


Рис. 5.8

Элемент выполняет операцию ИЛИ и ИЛИ -НЕ:

$$\begin{aligned} \underline{y} &= \underline{x_1 + x_2}, \\ y &= x_1 + x_2. \end{aligned}$$

Логическую операцию ИЛИ выполняет часть схемы (VT1, VT2, VT3 с резисторами R1, R2, R3, R4, R5), называемая балластным усилителем. Одно плечо усилителя образует транзистор VT3, а другое - параллельно соединенные транзисторы VT2. Для обеспечения работоспособности схемы необходимо $U^0 < U_{\text{оп}} < U^1$.

Если это условие выполняется, то при $x_1 = 0$, $x_2 = 0$ ток идет через транзистор VT3 и резистор R1. При всех других комбинациях ($x_1 = 0$, $x_2 = 1$; $x_1 = 1$, $x_2 = 0$; $x_1 = 1$, $x_2 = 1$) ток идет через резистор R2. Транзисторы VT4 и VT5 выходными эмиттерными повторителями. Число входов элемента может быть увеличено за счет подсоединения дополнительных транзисторов к точкам а и б.

Элементы имеют рекордное быстродействие, но потребляют большую мощность и требуют принудительного отвода тепла.

Элементы ИИЛ используются в ИС серий 541, 583, 584 и др. Основные особенности схемотехники элементов ИЛИ показаны на рис.5.9.

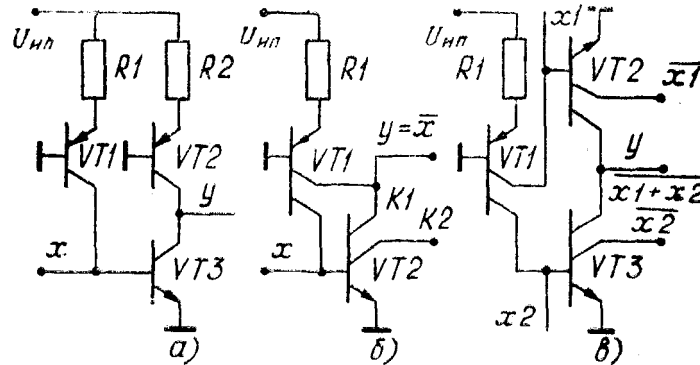


Рис. 5.9

Этих особенностей три: применение генераторов стабильного тока, применение много коллекторных транзисторов, использование монтажной логики.

Схема, показанная на рис.5.9,а, называется инжекционным инвертором. В этой схеме в качестве источника питания базы транзистора VT3 и его нагрузки вместо обычно применяемых резисторов используются генераторы стабильного тока (VT1, R1 и VT2, R2), называемые инжекторами. Ток инжектора VT1 либо поступает в базу транзистора VT3 либо замыкается через источник входного сигнала x . В первом случае $y = 0$, во втором - 1.

В схемах ИЛИ используется большое количество инжекторов. На рис.5.9б показана схема построения двух инжекторов на одном двух коллекторном транзисторе VT1. Количество коллекторов может быть увеличено.

На рис.5.9в показано построение базового элемента ИЛИ, выполняющего операцию ИЛИ-НЕ. Он образуется путем монтажного соединения коллекторов транзисторов VT2 и VT3. Свободные коллекторы этих же транзисторов дают инверсии переменных x_1, x_2 , которые можно использовать в других логических схемах.

За счет ограничения степени насыщения транзисторных ключей (VT3) элементы ИЛИ имеют высокое быстродействие и отличаются экономичностью. Кроме того, эти элементы, из всех, перечисленных ранее, имеют наиболее высокую плотность компоновки.

Элементы КМДПТЛ. Из всех типов элементов, использующих полевые транзисторы, элементы на комплементарных (дополняющих) МДП-транзисторах имеют наиболее высокие технические характеристики и являются наиболее перспективными. Они используются в ИС серий 176, 188, 561, 587 и др.

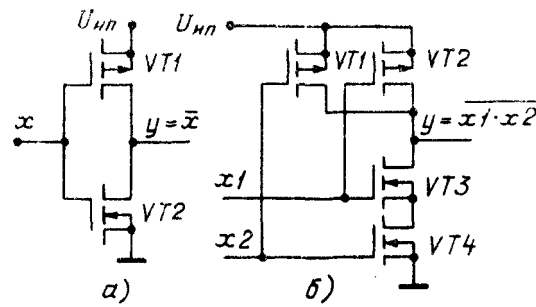


Рис. 5.10

Схемотехнической основой этих элементов является инвертор (рис.5.10а). Выполненный на МДП-транзисторах с p - и n -каналами (VT1 и VT2). Типовые значения параметров схемы: $U_{\text{нп}} = +9 \text{ В}$; $U^0 \cong 0 \text{ В}$; $U^1 \cong 9 \text{ В}$; $U_{\text{п}} \cong 4,5 \text{ В}$. Если на вход инвертора поступает напряжение логического нуля (U^0), то транзистор VT2 будет закрыт (он открывается положительным напряжением затвор - исток), а транзистор VT1 откроется отрицательным напряжением затвор - исток. Если на вход подается напряжение U^1 , то проводящим становится транзистор VT2, а VT1 закрывается. Таким образом, в данной схеме обязательно проводит один из транзисторов, что обеспечивает ей высокое быстродействие за счет форсированного перезаряда емкости нагрузки.

Базовый элемент КМДПТЛ (рис.5.10б) образуется за счет параллельного соединения транзисторов VT1 и последовательного соединения транзисторов VT2, входящих в разные комплементарные пары. В схеме, показанной на рис.5.10б, пары образуются транзисторами VT1, VT4 и VT2, VT3. Из таблицы истинности для выходной переменной y видно, что элемент выполняет операцию И-НЕ. Читателю предлагается в качестве упражнения составить схему базового элемента КМДПТЛ путем последовательного соединения транзисторов VT1 и параллельного соединения транзисторов VT2, входящие в разные комплементарные пары, и составить для полученной схемы переключательную функцию.

Рассмотрим сравнительные характеристики базовых элементов ЦВМ, использующих различные компоненты (табл.1.1).

Таблица 1.1

Параметры	Типы элементов					
	ТТЛ	ТТЛШ	ЭСЛ	И ² Л	КМДП	КМДП на сапфире
Плотность расположения, элем / мм ²	10/20	2/10	15/20	75/100	40/100	200/500
Задержка переключения, нс.	6/30	2/10	0,7/2	7/30	10/35	0,2/0,4
Энергия	30/150	10/60	15/80	0,2/2	2/40	0,1/0,2

переключения, пДж						
Типовое напряжение питания, В.	+5	+5	-5,2	+1	+10	+2
Диапазон сигналов (U_{min} / U_{max}), В	0,2/3,4	0,2/3,4	-1,7/-0,7	0,2/0,8	0/10	0/2

Анализ данных, приводимых в таблице, показывает, что наилучшие значения различных параметров достигаются у элементов различного типа. Так, из серийных элементов, характеристики которых показаны в таблице, элементы И²Л наиболее экономичны и имеют самую высокую плотность компоновки, а элементы ЭСЛ - наиболее быстродействующие. Поскольку различные области применения ЦВМ предъявляют разные требования к элементам, происходит одновременное развитие элементов разного типа. В то же время идут активные поиски новых типов логических элементов, объединяющих положительные качества уже известных. Такими перспективными элементами являются элементы логики КМДП на сапфире.

2. Условные графические обозначения логических элементов и узлов

Для логических (цифровых) элементов и их простейших соединений, называемых узлами, установлено условное графическое обозначение (рис.5.1а). В общем случае оно состоит из трех полей. В основном поле записывается символ операции, выполняемой элементом, в левом дополнительном поле - наименование входных, а в правом - выходных переменных. Дополнительные поля можно исключать из обозначения, если наименования переменных не нужны. При двухступенчатой логике левое дополнительное поле используется для описания работы первой ступени.

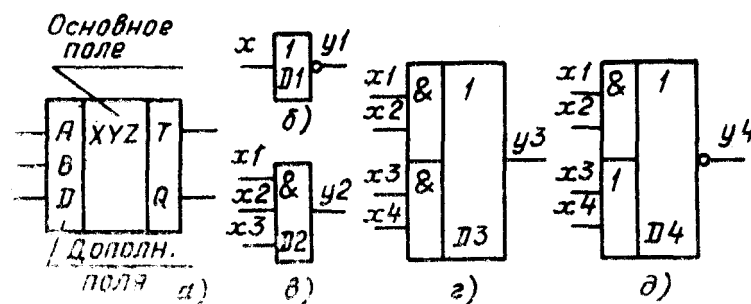


Рис. 5.1

На рис.5.1,б ... 5.1,д приведены условные графические обозначения элементов, которые соответственно выполняют операции над входными переменными.

Для обозначения выполняемых элементами функций используются символы логического сложения (1), логического умножения (&), отрицания (o) и другие, которые далее будут вводиться с необходимыми пояснениями.

Для более наглядного представления информации о характере операции, выполняемой логическим элементом, используются временные диаграммы, то есть графики, на которых показываются изменения входных переменных и соответствующие им изменения выходных переменных. На рис.5.2 показан пример временной диаграммы для элемента, показанного на рис.5.1г.

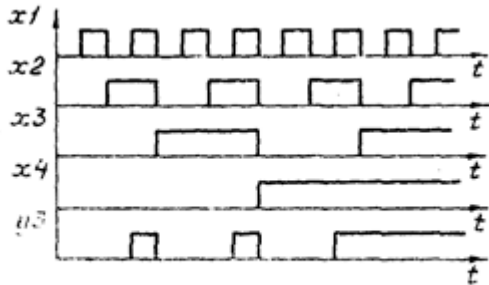


Рис. 5.2

Отдельные операции, выполняемые логическими элементами, обозначаются с помощью специальных символов на входах и выходах элемента. ГОСТ предусматривает четыре типа входов и выходов (рис.5.3) логических элементов:

- прямые потенциальные ($D1$);
- инверсные потенциальные ($D2$);
- прямые динамические ($D3$);
- инверсные динамические ($D4$).

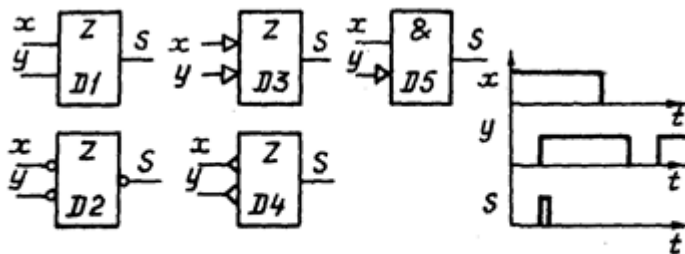


Рис. 5.3

Операция, выполняемая над переменными динамическим входом (выходом), эквивалентна дифференцированию. Через динамический вход (выход) проходит сигнал, равный единице, лишь в моменты перехода с 0 на единицу (прямой динамический) и с единицы на 0 (инверсный динамический). Назначение динамических входов поясняется временной диаграммой для элемента $D5$ (рис.5.3).

3. Основные параметры логических элементов

Наиболее существенными параметрами логических элементов являются:

- характер выполняемых логических операций;

- способ представления значений логических переменных (1 и 0) с помощью электрических сигналов;
- напряжения логической единицы и нуля;
- порог переключения;
- коэффициенты разветвления и объединения;
- задержка переключения или тактовая частота.

Поясним смысл этих понятий и способы их описания.

Характер операций, выполняемых логическим элементом над входными переменными, описывается с помощью условного графического обозначения, либо с помощью таблицы истинности, либо с помощью переключательной функции, либо с помощью временной диаграммы.

Значения логических переменных в элементах ЭВМ представляются электрическими сигналами двух типов:

- потенциальными (обычно единице соответствует высокий потенциал, а нулю - низкий);
- импульсными (обычно единице соответствует наличие импульсов, а нулю - их отсутствие). Подавляющее большинство современных элементов ЭВМ являются потенциальными.

Используется также несколько иное разбиение элементов на типы в зависимости от способа представления значений переменных электрическими сигналами: динамические и статические. Динамическими называют элементы, использующие для предоставления значений переменных какой-либо динамический процесс (заряд конденсатора, индуктивности, рассасывание не основных носителей в p - и n - переходах и др.). Основное свойство такого сигнала - ограниченное время существования. В противоположность динамическим элементам статические имеют неограниченное время существования выходного сигнала.

Напряжения логической единицы (U^1) и логического нуля (U^0) - это параметры выходных сигналов элемента, Обычно их значения определяются в виде ограничений. Например, элементы серии 221 имеют $U^1 \geq 2,4$ В, $U^0 \leq 0,4$ В, а элементы серии 112 - $U^1 \leq 1,75$ В, $U^0 \geq 0,45$ В.

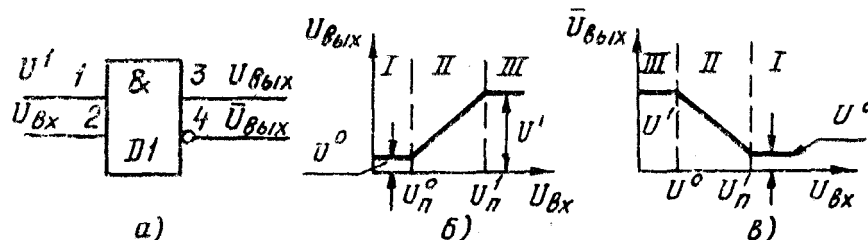


Рис. 5.4

Порог переключения логического элемента определяется по его передаточной характеристике. Для получения передаточной характеристике от какого-либо входа на какой-либо выход элемента поступают следующим

образом (рис.5.4,а). На все входы элемента, за исключением исследуемого, подают такую комбинацию переменных, чтобы значение выходного сигнала зависело от напряжения на исследуемом входе. В нашем случае на вход 1 подано напряжение U^1 , и следовательно $U_{\text{вых}}$ зависит от напряжения на входе 2. Изменяя напряжение $U_{\text{вх}}$, получают зависимости $U_{\text{вых}} = f(U_{\text{вх}})$, примеры которых приведены на рис.5.4,б и 5.4,в.

Передаточные характеристики логических элементов имеют три характерных участка. На первом из них $U_{\text{вых}} = U^0$, на третьем $U_{\text{вых}} = U^1$, а на втором выходное напряжение имеет промежуточное (нерабочее) значение. По передаточной характеристике определяют пороги переключения как границы между первым, вторым и третьим участками этой характеристики.

Обычно ширина нерабочей зоны у логических элементов составляет несколько десятков милливольт. Поэтому можно считать, что элемент имеет единственный порог переключения

$$U_{\text{п}} \cong U_{\text{п}}^+ \cong U_{\text{п}}^-.$$

Значение логической единицы (U^1), логического 0 (U^0) и порог переключения определяют запас помехоустойчивости элемента, то есть максимальное значение напряжения помехи, которое еще не приводит к переключению элемента:

$$\Delta U_{\text{п}}^+ = U_{\text{п}} - U^0,$$

$$\Delta U_{\text{п}}^- = U^1 - U_{\text{п}},$$

где $\Delta U_{\text{п}}^+$, $\Delta U_{\text{п}}^-$ - запас помехоустойчивости по отношению к помехам соответствующей полярности.

Максимальный запас помехоустойчивости ($\Delta U_{\text{п}}^+ = \Delta U_{\text{п}}^-$) получается при $U_{\text{п}} = 0,5(U^1 + U^0)$.

Для элементов серии 221 порог переключения составляет 1,3 В, а для элементов серии 112 - 1,1 В.

Коэффициент разветвления характеризуется нагрузочную способность элемента. Этот коэффициент численно равен количеству элементов, однотипных с характеризуемым, которое можно подсоединить к выходу при условии, что элемент сохранит работоспособность. Типовое значение этого параметра равно 10.

Коэффициент объединения (по И, по ИЛИ) численно равен максимально допустимому числу входов соответствующей схемы.

Задержка переключения характеризует быстродействие элемента.

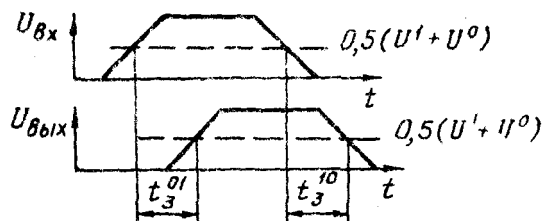


Рис. 5.5

Она определяется (рис.5.5) как интервал времени между моментами прохождения входным и выходным сигналами уровня, соответствующего порогу переключения ($0,5 (U^1 + U^0)$). Принципиально задержки переключения различны для разных входов элемента. Они зависят также от исходного состояния на выходе элемента ($t_3^{01} \neq t_3^{10}$).

Помимо перечисленных специальных параметров элементы ЭВМ характеризуются напряжением питания, потребляемой мощностью, диапазоном рабочих температур, надежностью и др.

4. Общая характеристика элементов ЦВМ

Основную часть парка бортовых ЦВМ составляют вычислительные машины “Орбита-10” и “Орбита-20”. ЦВМ “Орбита-10” выполнена на микросхемах серии 221, а ЦВМ “Орбита-20” - на ИМС серии 112.

В составе серии 221 входят следующие ИМС:

- 221 ЛР1 (базовый элемент);
- 221 ЛП1 (функциональный расширитель);
- 221 ТР1 (статический триггер);
- 221 ЛН1 (мощный инвертор);
- 221 ЛБ1 (специальный элемент).

В состав серии 112 входят два типа ИМС:

- 112 ТМ1 (базовый элемент);
- 112 ЛД1 (функциональный расширитель).

В качестве функциональных расширителей в ЦВМ “Орбита-20” используются также ИМС 104НД4.

Основной особенностью ЦВМ “Орбита-10” и “Орбита-20” является последовательный разряд (разряд за разрядом) способ передачи информации и выполнения операций.

Эта особенность влечет за собой изменение функций базового элемента. В ЦВМ параллельного действия базовый элемент выполняет только логические операции (например, И-НЕ, ИЛИ-НЕ). Базовый элемент ЦВМ последовательного действия помимо логических операций выполняет задержку на один такт синхронизирующих импульсов. Эту чрезвычайно важную для ЦВМ последовательного действия операцию выполняют ИМС 112ТМ1 и 221ЛР1.

Далее рассматривается схема 112-й серии.

Интегральные микросхемы серии 112.

Интегральная микросхема 112ТМ1 состоит из двух одинаковых элементов. Схема одного из них показана на рис.5.11,а, а для второго в скобках указаны номера выводов. Схема элемента состоит из трех частей: диодно-резисторной логики с развязывающим усилителем (I), статического триггера (II) и схемы управления записью информации на статический триггер.

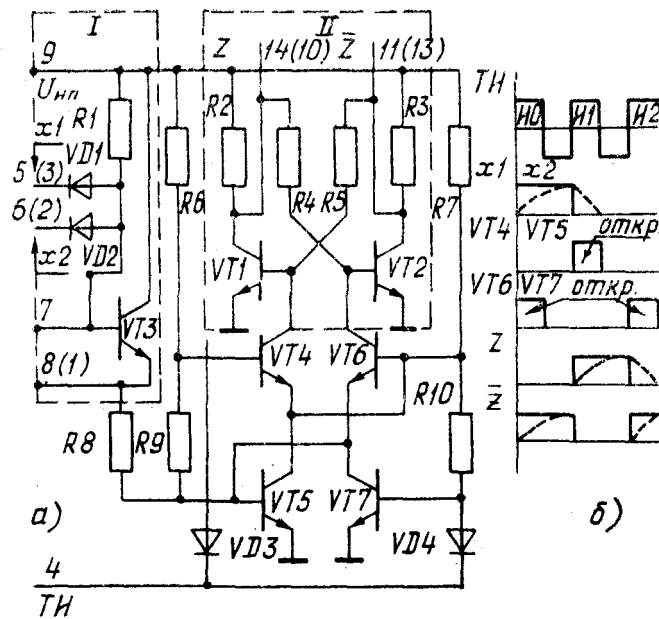


Рис. 5.11

Элемент питается постоянным напряжением $U_{\text{нп}} = +3\text{В}$ и синхронизируется переменным напряжением тактовых импульсов ТИ с частотой 3,2 МГц и амплитудой 1 В. Тактовые импульсы имеют нумерацию от 0 до 15, которую выполняет специальная схема ЦВМ, называемая распределительным устройством (РУ). РУ имеет 16 выходов, имеющих номера с 0 до 15. На этих выходах в порядке нумерации формируются импульсы, длительность которых равна периоду тактовых импульсов ($\tau \cong 0,3 \text{ мкс}$).

Интервал времени, длительность которого равна 16τ , называется циклом работы ЦВМ. Длительность цикла равна 5 мкс, а нумерация тактовых импульсов повторяется в каждом цикле. Нумерация тактовых импульсов позволяет указать время действия сигнала в такте ЦВМ.

Например, сигналы x_1 , x_2 (рис.5.11,б) действуют в такте И0, а сигнал z - в такте И1.

Диодно-резисторная логика на входе схемы выполняет операцию умножения двоичных переменных x_1 и x_2 , а статический триггер используется для запоминания результата этой операции на один такт. Триггером называют электронную схему с двумя устойчивыми состояниями. Состояния рассматриваемой схемы различаются проводимостью транзисторов VT1 и VT2. В первом состоянии транзистор VT1 проводит, а VT2 - закрыт. Во втором, наоборот, VT2 проводит, а VT1 - закрыт. Оба состояния устойчивы, то есть могут сохраняться неограниченно долго. Условно считают, что в первом состоянии (VT1 проводит) триггер хранит 0, а во втором - 1.

Запись информации на триггер осуществляется путем подключения базы одного из транзисторов триггера на корпус. Если на корпус подключается база транзистора VT1, то записывается единица, а если VT2, то 0. Запись единицы осуществляется путем открытия транзисторов VT4 и VT5, а запись 0 - транзисторами VT6 и VT7. Хранение информации осуществляется в режиме,

когда ни одна из цепей записи не проводит. Цепи записи управляются тактовыми импульсами и сигналом результата логической операции. Тактовые импульсы определяют момент записи на триггер, а результат операции определяет, в какое из двух возможных состояний перейдет триггер в результате записи. Отрицательное напряжение ТИ через диоды VD3 и VD4 закрывает транзисторы VT4 и VY7, отключая тем самым обе цепи записи. Таким образом, при отрицательном напряжении на шине ТИ триггер хранит информацию. Запись осуществляется при положительном напряжении тактовых импульсов. При этом диоды VD3 и VD4 закрываются и не влияют на процессы в схеме.

Если результат операции равен единице, то ток через резистор R8 открывает транзистор VT5, а транзистор VT4 открывается током через резистор R6 в момент окончания отрицательной полуволны ТИ. Таким образом, начиная с переднего фронта ТИ, осуществляется запись единицы, так как открываются транзисторы VT4 и VT5. Цепь записи 0 при этом отключается, так как транзистор VT5 замыкает на корпус базу транзистора VT6. Процесс записи единицы, начавшись на переднем фронте ТИ, продолжается, даже если после начала процесса результат логической операции изменится на 0. В таком случае транзисторы VT4 и VT5 будут поддерживаться в открытом состоянии током через резисторы R6 и R9.

Если результат логической операции равен 0, то ток через резистор R8 не идет, и запись обеспечивается токами, поступающими в базы транзисторов VT4, VT5 и VT6, VT7 от источника питания через резисторы R6, R9 и R7, R10. В момент переднего фронта тактовых импульсов начинают открываться обе пары транзисторов VT4, VT5 и VT6, VT7. Однако в схемы записи 1 и 0 внесена несимметрия ($R7 < R6$, $R10 < R9$), вследствие чего транзисторы VT6, VT7 открываются быстрее транзисторов VT4, VT5. При этом транзистор VT7 замыкает на корпус базу транзистора VT5, исключая возможность записи единицы, даже если в положительном полупериоде тактовых импульсов результат операции станет равным единице. Таким образом, запись информации на статический триггер осуществляется передним фронтом каждого тактового импульса, а результат записи зависит только от того, какое значение имеет произведение логических переменных в этот момент времени. Далее записанное на триггер значение сохраняется в течение одного такта до следующей записи.

Временная диаграмма работы элемента, соответствующая изложенному выше, приведена на рис.5.11,б. Пунктиром показана реальная форма сигналов, обусловленная наличием паразитной емкости монтажа. Из диаграммы видно, что передний фронт импульса И1 записывает в триггер результат логической операции, который формируется в такте И0. Точно так же импульс И2 фиксирует результат, полученный в такте И1 и т.д. Таким образом, результат логической операции Z на выходе схемы запаздывает на такт относительно входных сигналов. В итоге схема выполняет операции И, И-НЕ и задержку на один такт тактовых импульсов.

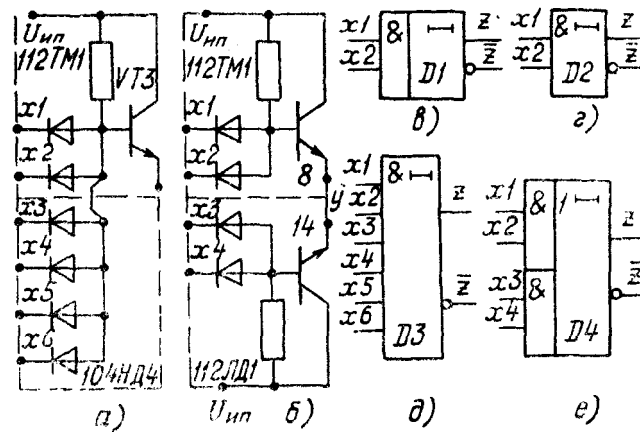


Рис. 5.12

На функциональных схемах такой элемент имеет обозначение, показанное на рис.5.12,в или 5.12,г.

При необходимости число входов схемы И микросхемы 112ТМ1 увеличивается с помощью функционального расширителя 104НД4 (рис.5.12,а). В ИМС 104НД4 содержатся два набора диодов по 4 штуки в каждом. Условное обозначение соединения 112ТМ1 и 104НД4 показано на рис.5.12,д. Дальнейшее расширение входной логики базового элемента 112-й серии осуществляется ИМС 112ЛД1. Соединение 112ТМ1 и 112ЛД1 (рис.5.12,б) вычисляет переключательную функцию

$$z = x_1 \cdot x_2 + x_3 \cdot x_4 .$$

Условное обозначение такого соединения показано на рис.5.12,е. С помощью ИМС 112ТМ1 и функциональных расширителей можно создавать схемы для вычисления произвольных ДНФ. Необходимо только иметь в виду, что число входов схем И и ИЛИ (коэффициент объединения) ограничено десятью.

Интегральные микросхемы серии 221.

Базовый элемент 221 серии (221ЛР1) выполняет те же функции, что элемент 112ТМ1 (И, И-НЕ и задержка). Однако он выполняет задержку не на такт, а на полтакта. В связи с этим функциональный элемент, аналогичный ИМС 112ТМ1, выполняется из двух элементов 112ЛР1, как это показано на рис.5.13,а.

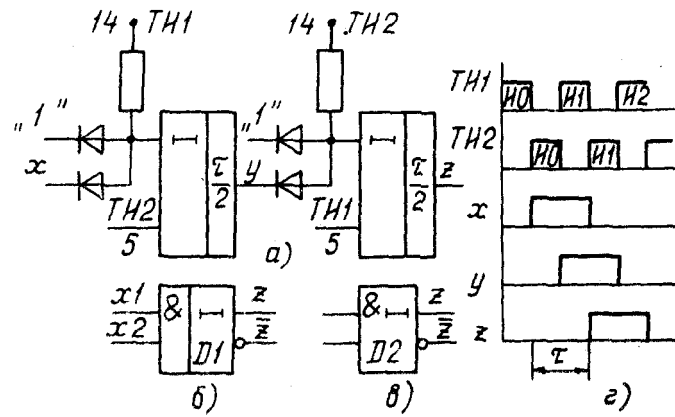


Рис. 5.13

Для синхронизации элементов 221 серии используются две серии тактовых импульсов, сдвинутые друг относительно друга на полпериода (рис.5.13,г). Они подключаются к двум последовательно соединенным элементам 221LP1 так, как это показано на рис.5.13,а. Прохождение сигнала через соединение двух элементов 221LP1 показано на диаграмме (рис.5.13,г). Поскольку соединение двух ИМС 221LP1 является функциональным аналогом ИМС 112TM1, условное обозначение такого соединения (рис.5.13,б и в) совпадает с обозначением 112TM1.

В 221 серии ИМС предусмотрен функциональный расширитель 112ЛП1, схемы использования которого совместно с ИМС 221LP1 показаны на рис.5.14,а и б. Первая из них эквивалентна соединению 112TM1 с 104НД4, а вторая - 112TM1 с 112ЛД1.

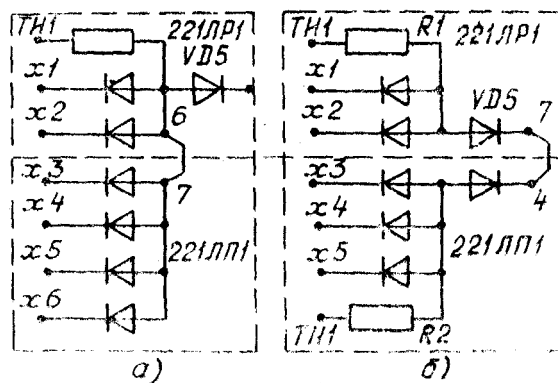


Рис. 5.14

Схемы инвертора 221ЛН1 и статического триггера 221ТР1 показаны на рис.5.15,а и б.

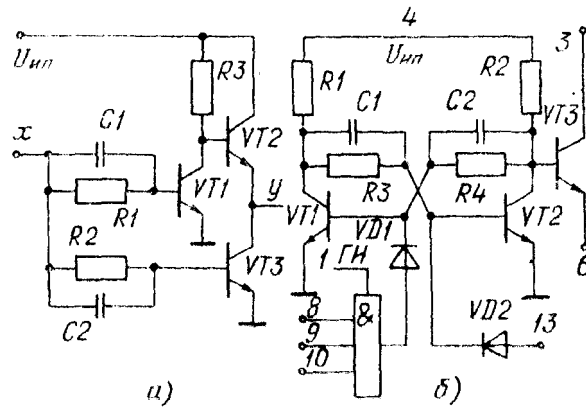


Рис. 5.15

Инвертор для обеспечения необходимой мощности и быстродействия имеет двухтактный выходной каскад, аналогичный применяемому в транзисторно-транзисторной логике. Статический триггер 221ТР1 аналогичен триггеру 112ТМ1, но для записи информации используется не закрытие одного из транзисторов, а открытие, осуществляемое положительным импульсом, который подается на базу соответствующего транзистора.

Контрольные вопросы:

1. Назначение и классификация базовых элементов ЦВМ
2. Условные графические обозначения логических элементов и узлов.
3. Основные параметры логических элементов.
4. Общая характеристика элементов ЦВМ.
5. Интегральные микросхемы серии 112.
6. Интегральные микросхемы серии 221.

Литература

1. Цифровые вычислительные системы и их программное обеспечение. Учебное пособие для вузов. К.Н. Матюхин, В.И. Петров. М.: МГТУ ГА, 2019.
2. Системы автоматического управления: бортовые цифровые вычислительные системы. Учебное пособие для вузов. В. М. Антимиров ; под науч. ред. В. В. Телицина. — М. : Издательство Юрайт, 2017.
3. Бортовые цифровые вычислительные устройства и машины. Учебное пособие для вузов. Р.М. Половов, А.Г. Роцин. М.: МГТУ ГА, 2003.
4. Бортовые цифровые вычислительные устройства и машины: Учебник для вузов. М. ВВИА им. Н.Е. Жуковского, 2008.
5. Вычислительные машины комплексов авиационного оборудования. Учебник для вузов. С.П. Кастерский, Б.О. Качанов, Ю.А. Кочетков, В.М. Томшин, И.А. Шур - М.: Воениздат, 1995.

Практическое занятие 3

Узлы ЦВМ последовательного действия

Цель занятия - изучить функциональные узлы ЦВМ, выполненные на динамических элементах, осуществляющих задержку на такт синхронизирующих импульсов.

Учебные вопросы, рассматриваемые на занятии:

1. **Сдвигающие регистры. Преобразователь последовательного кода в параллельный и параллельного в последовательный. Распределитель импульсов.**

Рассматриваются функциональные узлы ЦВМ, выполненные на динамических элементах, которые вместе с логической операцией осуществляют задержку на такт синхронизирующих импульсов. Такими элементами являются, например, элементы ЦВМ 112ТМ1 или соединение двух ИМС 221ЛР1. Подобные элементы применяются только в ЦВМ последовательного действия. Отметим, что соответствующие узлы могут быть выполнены на статических элементах, рассмотренных ранее, однако такие решения здесь не рассматриваются.

Сдвигающие регистры. Сдвигающим (бегущим) регистром называется последовательное соединение динамических элементов.

Такие регистры используются в ЦВМ "Орбита" для задержки импульсов и импульсных последовательностей. Последовательности импульсов длительностью 16 тактов используются в ЦВМ для представления чисел и команд. Для обозначения начала и конца последовательности используют обозначения, показанные на схеме рис.3.1.

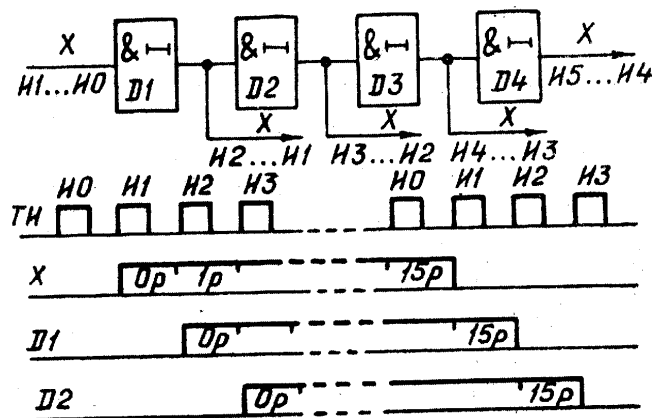


Рис.3.1

Например, запись И2...И1 означает, что передача 16-разрядного кода начинается в такте И2 и заканчивается в такте И1 следующего цикла.

В ЦВМ “Орбита” числа и команды передаются, начиная с младшего разряда (0-й, 1-й, ..., 15-й). Рассмотрим применение сдвигающих регистров для решения различных схемотехнических задач, характерных для ЦВМ последовательного действия.

Преобразователь последовательного кода в параллельный. В качестве такого преобразователя используется сдвигающий регистр (D1...D16) и схемы И на входах статических триггеров (D17...D32).

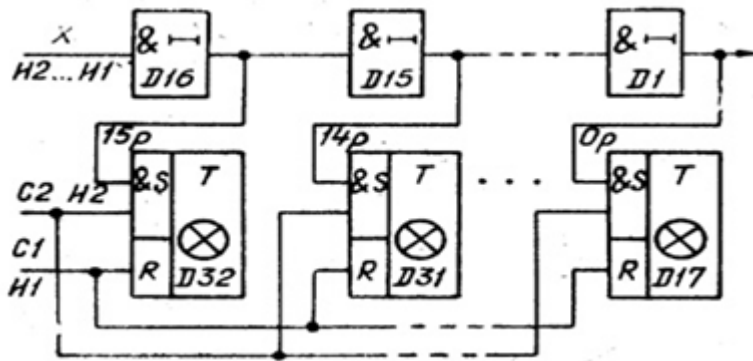


Рис.3.2

Последовательный код X в течение 16 тактов (И2...И1) заполняет сдвигающий регистр. В такте И2 имеет место распределение разрядов кода, показанное на рисунке. В этом такте все разряды одновременно (параллельно) по сигналу С2, совпадающему по времени с И2, записываются на триггеры, которые предварительно сбрасываются сигналами С1 в такте И1. Код X наблюдается на индикаторах триггеров.

Преобразователь параллельного кода в последовательный. Преобразование параллельного кода в последовательный осуществляется сдвигающим регистром (рис.3.3),

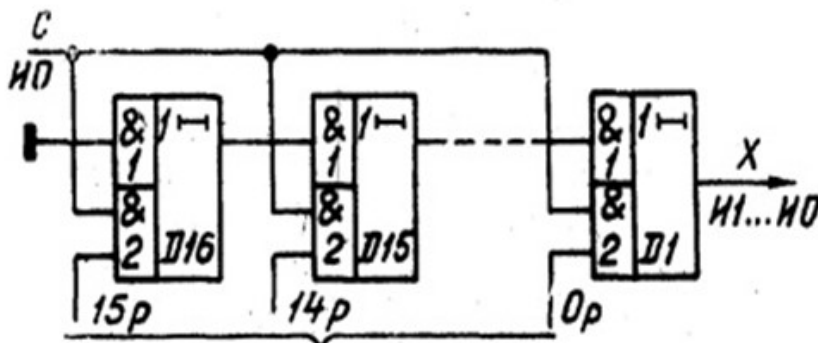


Рис.3.3

каждый элемент которого имеет на входе две схемы И. Параллельный код X записывается на регистр сигналом C в такте И0. В течение последующих 16 тактов код X сдвигается по регистру и последовательно выдается с выхода элемента D1, а регистр тем временем очищается для приема нового кода.

Распределитель импульсов. Распределитель тактовых импульсов (рис.3.4) реализуется на сдвигающем регистре, в младший разряд которого (D1) запись единицы осуществляется один раз за цикл распределения (16 тактов).

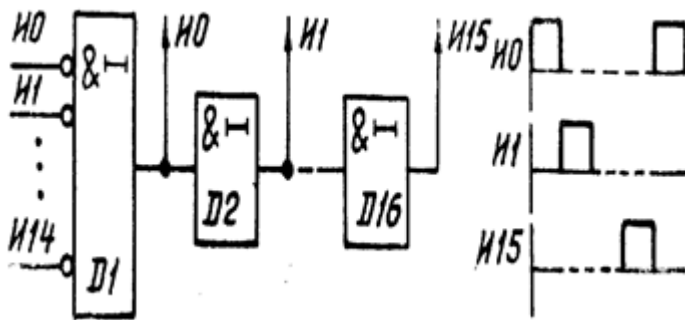


Рис.3.4

Записанная на элемент D1 единица сдвигается по регистру и блокирует запись новой единицы до появления предыдущей на выходе элемента D16. В итоге получается распределение сигналов на выходах элементов сдвигающего регистра, показанное на диаграмме. Так формируются тактовые импульсы И0 ... И15, синхронизирующие работу ЦВМ.

2. Закольцованный сдвигающий регистр. Трехрежимный регистр. Дешифраторы.

Закольцованный сдвигающий регистр. Закольцованные сдвигающие регистры (рис.3.5а) используются в ЦВМ для запоминания чисел.

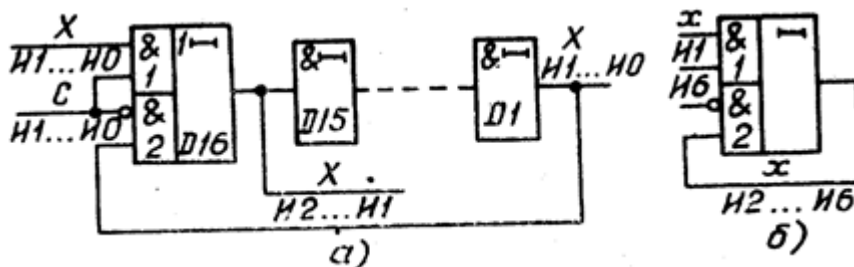


Рис.3.5

Хранение числа данной схемой осуществляется при нулевом значении управляющего сигнала C . Запоминаемое число сдвигается по регистру и с выхода элемента D1 вновь возвращается в регистр через вход 2 элемента D16.

Для записи нового числа подается сигнал $C = 1$. При этом разрывается связь элементов $D1$ и $D16$ и на элемент $D16$ записывается последовательно новое число. В зависимости от длительности и временного положения сигнала C можно записать новую информацию либо во все, либо в часть разрядов. Для того, чтобы распределение разрядов записанного числа повторялось в каждом цикле работы ЦВМ, в закольцованном сдвигающем регистре должно быть 2^n элементов ($n \leq 4$). Простейший закольцованный сдвигающий регистр ($n = 0$) содержит один динамический элемент (рис.3.5б) и называется динамическим триггером. Динамический триггер запоминает значение переменной x и выдает это значение на выход в тактах $I2 \dots I6$.

Трехрежимный регистр. Трехрежимный регистр (рис.3.6) работает либо в режиме хранения числа в закольцованном сдвигающем регистре, либо в режиме хранения числа на динамических триггерах, либо в режиме записи нового числа.

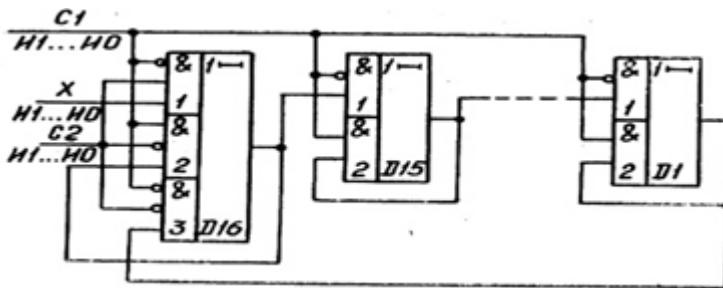


Рис.3.6

Первый из этих режимов реализуется при $C1 = 0$, $C2 = 0$. Информация в регистре передается через входы 1 динамических элементов $D1 \dots D15$. С выхода элемента $D1$ на элемент $D16$ запись осуществляется через вход 3. Остальные входы элемента $D16$ в этом режиме блокированы.

Режим хранения информации на динамических триггерах реализуется при $C1 = 1$, $C2 = 0$. В этом режиме каждый элемент принимает информацию со своего выхода на вход 2, открытый сигналом $C1$.

Режим записи нового числа выполняется при $C1 = 0$, $C2 = 1$. Новое число в регистр принимается через вход 1 элемента $D16$. Остальные входы этого элемента блокированы сигналами $C1$ и $C2$. По схеме трехрежимного регистра выполнен один из регистров арифметико-логического устройства ЦВМ "Орбита".

Дешифраторы. Два примера дешифраторов на динамических элементах показаны на рис.3.7а и б.

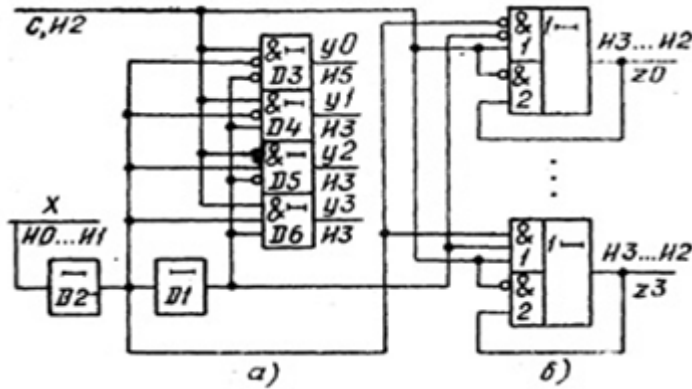


Рис.3.7

Оба дешифратора дешифрируют один код X , поступающий на дешифратор из сдвигающего регистра $D2$, $D1$. Дешифрирование выполняется после заполнения регистра. В рассматриваемой схеме дешифрирование выполняется в такте $H2$. Более сложные дешифраторы (с числом выходов более 8) выполняются в ЦВМ по многоступенчатой схеме, причем динамические элементы используются лишь в первой ступени, а остальные ступени выполняются по ранее рассмотренным схемам.

3. Сумматоры и полусумматоры. Последовательные счётчики.

Полусумматоры. Схема полусумматора на динамических элементах (рис.3.8а) аналогична соответствующей схеме на статических элементах, только результат сложения (сумма и перенос) формируются на выходах элементов $D1$ и $D2$ с задержкой на такт.

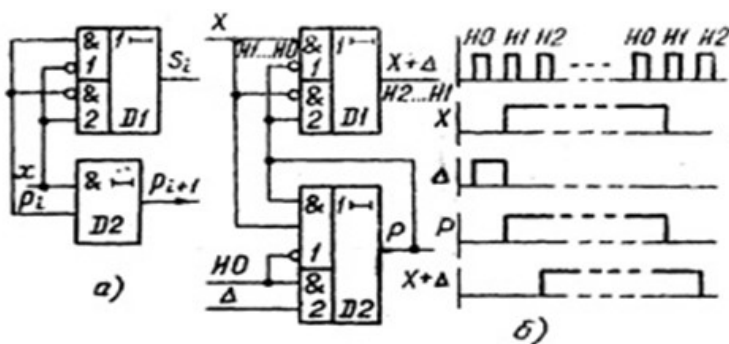


Рис.3.8

На рис.3.8б показано применение полусумматора для последовательного сложения многоразрядного числа X с одноразрядным числом Δ . Для передачи возникающего при сложении переноса из разряда в разряд в данной схеме он передается с выхода полусумматора обратно на его вход. Вследствие задержки на такт перенос на входе полусумматора складывается с более старшим

разрядом, чем тот, в котором он образовался. Одноразрядное слагаемое Δ вводится в цепь переноса через вход 2 элемента D2 на один такт ранее такта, в котором начинается сложение. На схеме, показанной на рис.3.8б, приращение Δ прибавляется в младший разряд многоразрядного слагаемого, который поступает на вход полусумматора в такте И1. Приращение Δ поступает на вход 2 элемента D2 в такте И0. После задержки на такт приращение с выхода элемента D2 поступает на вход полусумматора в такте И1, то есть одновременно с младшим разрядом второго слагаемого. Полусумматор выполняет сложение этих цифр. В результате образуются сумма и перенос. Перенос в следующем такте складывается со следующим разрядом и т.д. Чтобы предотвратить попадание переноса, образующегося в такте И0, в младший разряд в следующем цикле сложения, сигнал И0 блокирует работу схемы совпадения 1 элемента D2 в такте И0.

Последовательные счетчики. Последовательный счетчик (рис.3.9,а) состоит из полусумматора (D1, D17), который используется для прибавления приращения к результату счета, и закольцованного сдвигающего регистра (D1...D16), в котором результат счета запоминается.

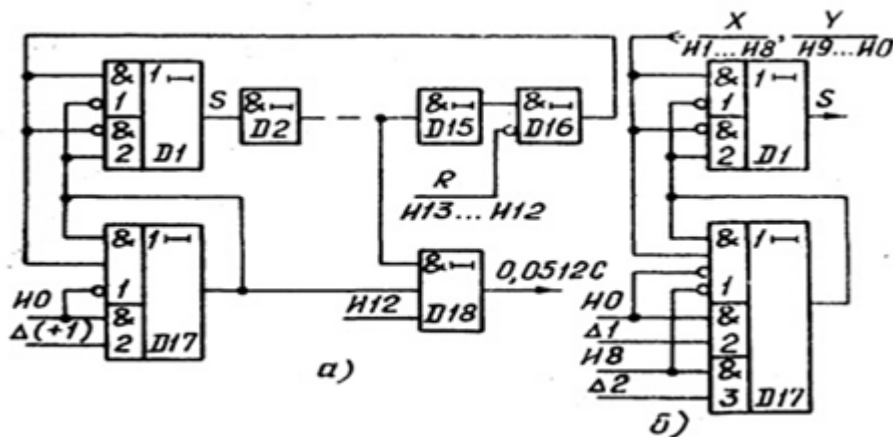


Рис.3.9

Схема, приведенная на рис.3.9,а, используется в ЦВМ в качестве счетчика времени. При $\Delta = 1$ счетчик подсчитывает импульсы И0. Сигнал R выполняет сброс счетчика, а элемент D18 вырабатывает на своем выходе единичный сигнал при условии, если в такте И12 имеются единицы на выходе элементов D14 и D17. На выходе элемента D17 в такте И12 будет 13-й разряд, а на входе элемента D15, подсоединенном к выходу D14, - 11-й разряд. Таким образом, элемент D18 формирует сигнал, когда в счетчике образуется код

$$(010100000000000)_2 = (10240)_{10}.$$

В ЦВМ “Орбита-20” длительность цикла составляет $5 \cdot 10^{-6}$ с. Следовательно, элемент D18 вырабатывает сигнал через 0,0512 с после сброса счетчика. Данный сигнал используется для синхронизации вычислительного процесса в ЦВМ и сброса счетчика времени.

Предлагается дополнить схему счетчика узлом, который из сигнала элемента D18 формирует сигнал сброса счетчика R с длительностью, равной циклу работы ЦВМ.

Рассмотренная схема счетчика содержит 16 разрядов. В некоторых случаях такое количество разрядов счетчика является излишним. Тогда в схеме, приведенной на рис.3.9,а, можно организовать несколько счетчиков, общее число разрядов в которых не должно превышать 16.

Например, для организации двух счетчиков достаточно изменить схему элемента D17 так, как это показано на рис. 3.9,б. Данный элемент обеспечивает прибавление приращений Δ_1 и Δ_2 в тактах И0 и И8. Таким образом, разряды первого счетчика проходят вход полусумматора в тактах И1 ... И8, а второго - в тактах И9 ... И16. Вместо одного 16-разрядного счетчика получили два 8-разрядных. Перенос из одного счетчика в другой исключается сигналами И0 и И8 на схеме совпадения 1 элемента D17.

Аналогичным образом можно организовать и более двух счетчиков на одном закольцованном регистре и одном полусумматоре.

Сумматоры. Сумматор на динамических элементах (рис.3.10,а), применяемый в ЦВМ “Орбита”. Данный сумматор обеспечивает сложение трех цифр и формирует результат (сумму и перенос) с задержкой на такт.

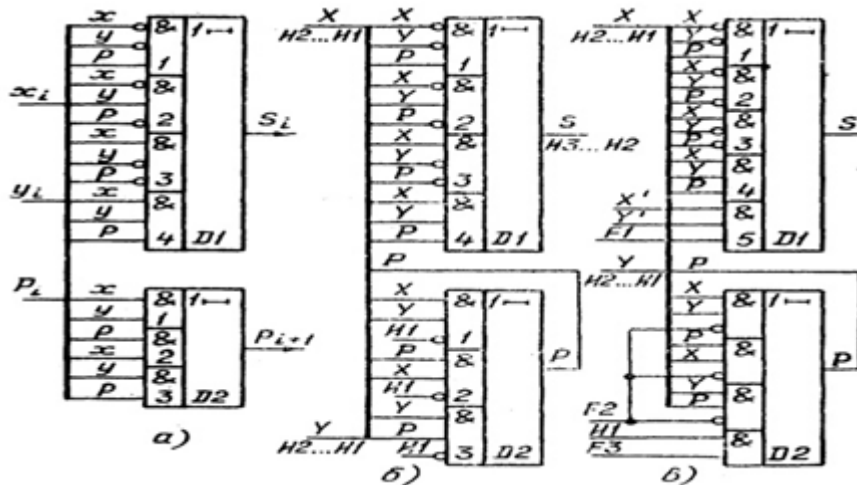


Рис.3.10

На рис.3.10,б приведена схема сумматора, используемого в ЦВМ для последовательного сложения 16-разрядных чисел. Слагаемые X и Y подаются на вход сумматора в тактах $I_2 \dots I_1$, причем одноименные разряды приходят на сумматор одновременно. Сигнал I_0 , поступающий на входы 1...3 элемента D_2 , обеспечивает нулевое значение переноса на выходе элемента D_2 в такте I_1 , то есть при сложении младших разрядов слагаемых. Далее в каждом такте выполняется вычисление суммы и переноса, причем перенос задерживается на такт на элементе D_2 и возвращается на вход сумматора, где складывается со следующими разрядами слагаемых. На рис.3.10,в приведена схема сумматора АЛУ ЦВМ, которая за счет введения дополнительных управляющих сигналов (F_1, F_2, F_3) выполняет 5 операций, приведенных вместе с комбинациями сигналов в табл.3.1.

Таблица 3.1

Наименование операции	Значение сигналов		
	F_1	F_2	F_3
Арифметическое сложение	0	I_1	0
Арифметическое вычитание	0	I_1	1
Логическое умножение	1	1	0
Логическое сложение	1	1	0
Сложение по модулю 2	0	1	0

При арифметическом сложении $F1$ и $F2$ равны 0 и схема рис.4.10,в оказывается полностью эквивалентной схеме рис.3.10,б.

При арифметическом вычитании $F3$ равно единице, и происходит прибавление единицы в младший разряд суммы. Одно из слагаемых при выполнении этой операции перед подачей на сумматор инвертируется. В результате сумматор вычисляет дополнительный код разности.

При логическом умножении операнды X и Y , поступающие на сумматор, обнуляются, а пятая схема И элемента $D1$ выполняет логическое умножение переменных X и Y .

При операции сложения по модулю 2 сигнал $F2 = 1$ обеспечивает блокировку переноса P ($P = 0$). Тогда, для выражения значения суммы S_i двух цифр x_i и y_i получим:

$$S_i = \bar{x}_i y_i + x_i \bar{y}_i, \quad (3.1)$$

что соответствует переключательной функции сложения по модулю 2.

При операции логического сложения $X' = X$, $Y' = Y$, $F2 = 1$, следовательно, $P = 0$. Входы 1, 2, 3, 4 элемента $D1$ вычисляют сумму по модулю 2, а вход 5 - логическое произведение. В результате

$$S_i = \bar{x}_i y_i + x_i \bar{y}_i + x_i y_i. \quad (3.2)$$

Для упрощенного обозначения элементов $D1$ и $D2$ сумматора в схемах арифметико-логического устройства будут использоваться обозначения, подобные показанным на рис.3.11а. На входе 1 элемента $D1$ вычисляется логическое произведение суммы трех слагаемых (1, 2, 3) на управляющий сигнал C ($S \cdot C$). Управляющих сигналов может быть несколько (например, $C1$, $C2$). Тогда вход 1 вычисляет произведение суммы на все управляющие сигналы ($S \cdot C1 \cdot C2$). Через вход 2 (подобных входов может быть несколько) к произведению, вычисляемому входом 1, прибавляются дополнительные слагаемые. Аналогичный смысл имеет условное обозначение элемента $D2$. Для сумматора, выполняющего только операцию сложения, будет использоваться слитное обозначение элементов $D1$ и $D2$ (рис.3.11,б).

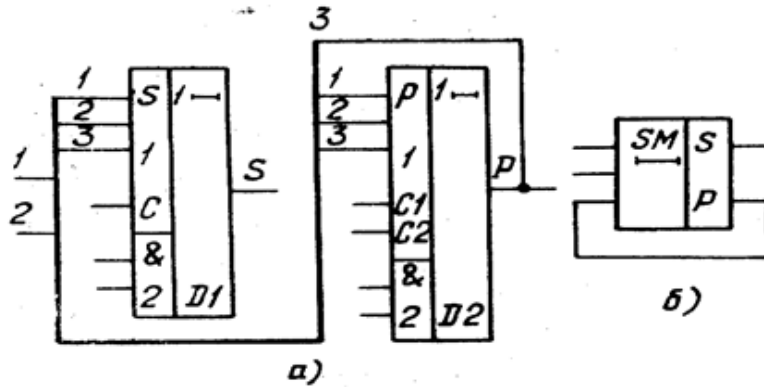


Рис.3.11

Контрольные вопросы:

1. Сдвигающие регистры.
2. Преобразователь последовательного кода в параллельный и параллельного в последовательный.
3. Распределитель импульсов.
4. Закольцованный сдвигающий регистр.
5. Трехрежимный регистр.
6. Дешифраторы.
7. Сумматоры и полусумматоры.
8. Последовательные счётчики.

Литература

1. Цифровые вычислительные системы и их программное обеспечение. Учебное пособие для вузов. К.Н. Матюхин, В.И. Петров. М.: МГТУ ГА, 2019.
2. Системы автоматического управления: бортовые цифровые вычислительные системы. Учебное пособие для вузов. В. М. Антимиров ; под науч. ред. В. В. Телицина. — М. : Издательство Юрайт, 2017.
3. Бортовые цифровые вычислительные устройства и машины. Учебное пособие для вузов. Р.М. Половов, А.Г. Роцин. М.: МГТУ ГА, 2003.
4. Бортовые цифровые вычислительные устройства и машины: Учебник для вузов. М. ВВИА им. Н.Е. Жуковского, 2008.
5. Вычислительные машины комплексов авиационного оборудования. Учебник для вузов. С.П. Кастерский, Б.О. Качанов, Ю.А. Кочетков, В.М. Томшин, И.А. Шур - М.: Воениздат, 1995.

Практическое занятие 4

Узлы ЦВМ параллельного действия

Цель занятия - изучить элементную базу и принципы построения основных функциональных узлов ЦВМ параллельного и последовательного действия.

Учебные вопросы, рассматриваемые на занятии:

1. Общие сведения. Дешифраторы

Общие сведения. В ЦВМ параллельного действия операции преобразования информации выполняются одновременно над всеми разрядами чисел, а в ЦВМ последовательного действия - последовательно, разряд за разрядом. Вследствие различных алгоритмов выполнения основных операций обработки данных ЦВМ параллельного и последовательного действия имеют различную элементную базу и используют различные принципы построения основных функциональных узлов.

Под основными функциональными узлами понимаются схемы, выполняющие некоторые типовые операции преобразования цифровой информации.

Функциональные узлы ЦВМ параллельного действия делятся на два класса:

- переключательные схемы;
- последовательностные схемы.

Переключательные (комбинационные) схемы не содержат элементов памяти (триггеров). Выходные сигналы этих схем определяются значениями входных сигналов, действующих на схему в данный момент времени. В таких схемах выходные сигналы являются переключательными функциями входных сигналов. Основными переключательными схемами, которые используются в ЦВМ, являются дешифраторы, мультиплексоры, сумматоры, полусумматоры и схемы сравнения.

Последовательностные схемы (конечные автоматы) имеют элементы памяти, которые запоминают входные сигналы или их функции. Выходные сигналы этих схем формируются из входных сигналов, действующих в данный момент, и сигналов, запомненных на элементах памяти. Вследствие этого выходные сигналы последовательных схем зависят от последовательности входных сигналов (отсюда и их название). В ЦВМ используются следующие основные последовательностные схемы: триггеры, регистры, счетчики и другие узлы, содержащие эти схемы.

Дешифраторы (ДС). Дешифратор применяется для формирования сигнала управления в одной из N выходных цепей, причем номер этой цепи (K) определяется m -разрядным числом (кодом), поданным на входы дешифратора.

Например, при $K = (000001)_2$ сигнал управления формируется в первой цепи, при $K = (000010)_2$ - во второй и т.д.

Таким образом, дешифратор преобразует m -разрядный код, поступающий на его входы, в сигнал управления на одном из выходов, причем номер выхода определяется входным кодом. Опишем состояние i -го выхода ($i = 0, N - 1$) дешифратора значением двоичной переменной y_j , которая равна единице при наличии сигнала на выходе и равна 0 при его отсутствии. Тогда зависимость выходных сигналов дешифратора от входных определяется следующей системой переключательных функций:

$$y_i = a_{m-1} \cdot a_{m-2} \cdot \dots \cdot a_1 \cdot a_0, \quad (4.1)$$

где: $a_j \in \{\overline{x_j}, x_j\}, j = 0, m - 1$.

То есть в произведении y_j обязательно входит либо значение входной переменной x_j , либо инверсия этого значения. В произведение включаются все m входных переменных.

Например, для дешифратора, имеющего 4 входа переключательная функция:

$$y_i = x_3 \cdot \overline{x_2} \cdot x_1 \cdot x_0 \quad (4.2)$$

описывает зависимость одного из выходных сигналов от входных.

Переключательные функции вида (4.1) равны единице на единственном наборе аргументов, а именно на том, на котором все сомножители произведения равны единице.

Например, функция (4.2) равна единице при $x_3 = 1, \overline{x_2} = 1, (x_2 = 0), x_1 = 1, x_0 = 1$.

Набор двоичных переменных x_j , обращающий функцию y_j в единицу, определяет ее номер (i).

Например, для функции (4.2) получим $i = (1011)_2 = (11)_{10}$.

Минимальный номер функции m аргументов равен $(00\dots0)_2 = 0$, а максимальный - $(11\dots1)_2 = 2^m - 1$. Таким образом, мы получили соотношение между количеством входов дешифратора и количеством его выходов:

$$N \leq 2^m. \quad (4.3)$$

Дешифратор, имеющий максимально возможное число выходов ($N = 2^m$), называется полным.

Например, при $m=2$ полный дешифратор имеет 4 выхода с номерами $(00)_2, (01)_2, (10)_2$ и $(11)_2$.

Непосредственно по номеру выхода составляется уравнение соответствующей переключательной функции. Для этого в выражение (4.1) следует записать x_j , если в номере выхода соответствующий разряд равен 1, и \bar{x}_j , если соответствующий разряд равен 0.

Например, для дешифратора двухразрядного кода получим

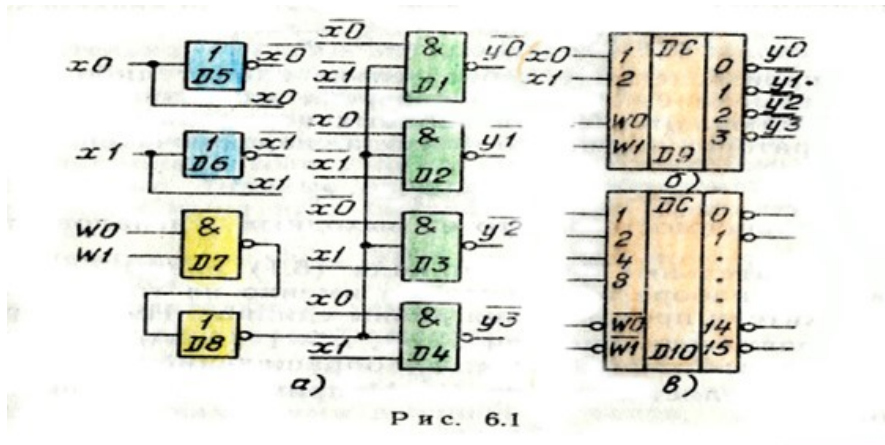
$$y_0 = \bar{x}_1 \cdot \bar{x}_0, \quad y_1 = \bar{x}_1 \cdot x_0, \quad y_2 = x_1 \cdot \bar{x}_0, \quad y_3 = x_1 \cdot x_0.$$

Схема дешифратора может быть реализована непосредственно по уравнениям (4.1), однако интегральные дешифраторы обычно выполняются по нескольким измененным уравнениям:

$$y_i = \overline{W_1 \cdot W_0 \cdot a_{m-1} \cdot a_{m-2} \dots a_1 \cdot a_0} \quad (4.4)$$

Система переключательных функций (4.4) отличается от (4.1) двумя особенностями. Во-первых, в каждое произведение введены две дополнительные переменные W_1 и W_0 . Во-вторых, при $W_1=1$ и $W_0=1$ переключательные функции (4.4) являются инверсиями функций (4.1).

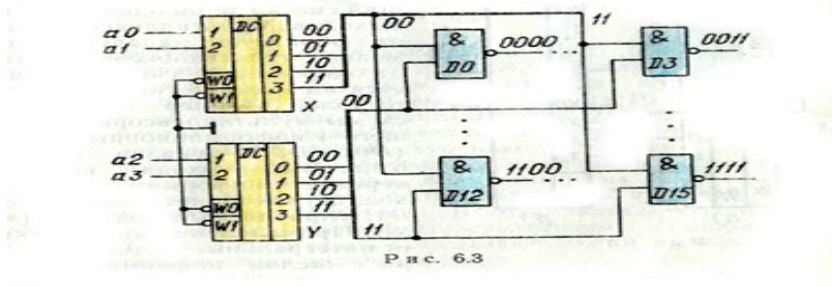
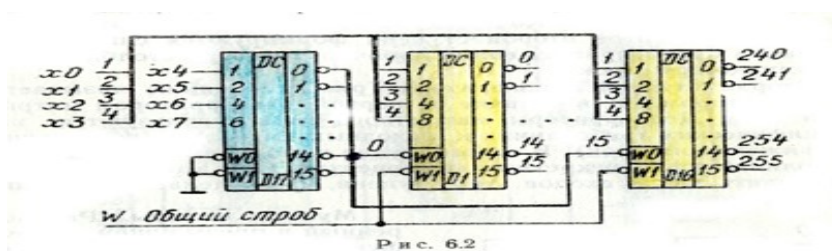
Дешифратор, выполненный по уравнениям (4.4) (рис.6.1,а), дешифрирует входной код при $W_1=W_0=1$ и при этом формирует на одном из своих выходов сигнал равный 0, а на остальных - 1. Условное обозначение такого дешифратора показано на рис.6.1,б.



На рис.6.1, в приведено обозначение дешифратора 155ИДЗ, выполненного по схеме, аналогичной рис.6.1,а, но обеспечивающей дешифрирование 4-разрядного кода при $W_1=0$, $W_0=0$ (составление функциональной схемы такого дешифратора предлагается в качестве упражнения для самостоятельной работы).

Сигналы W_1 и W_0 , управляющие работой дешифратора, называются стробирующими сигналами, а дешифратор - стробируемым. Если стробируемый дешифратор выполняется по схеме изображенной на рис.6.1,а, то он называется одноступенчатым, так как дешифрирование выполняется одной ступенью элементов И-НЕ (D1...D4). Одноступенчатые дешифраторы применяются для дешифрирования 2...4-разрядного кода ($N=4...16$). Дешифраторы кода, содержащего более четырех разрядов, выполняются по многоступенчатой схеме.

Принципы построения многоступенчатых дешифраторов на ИМС иллюстрируются рис.6.2 и 6.3.



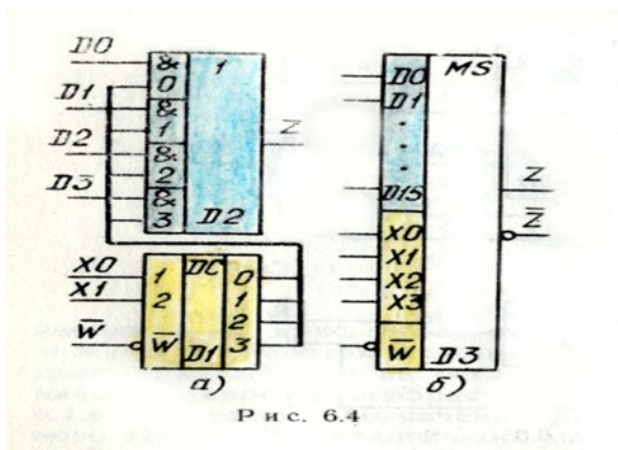
На рис.6.2 показан двухступенчатый дешифратор 8-разрядного кода, выполненный на 17 микросхемах типа 155ИДЗ. Выходные сигналы дешифратора формируются ИМС D1...D16, которые управляются младшими разрядами кода ($x_0 \dots x_3$). Дополнительный дешифратор D17 управляется старшими разрядами кода ($x_4 \dots x_7$) и формирует разрешающий строб для одного из дешифраторов D1...D16.

На рис.6.3, на примере дешифратора 4-разрядного кода, показан иной принцип построения двухступенчатого дешифратора. В данной схеме первая ступень выполнена на двух одноступенчатых дешифраторах X и Y, а вторая - на 16 схемах И-НЕ с двумя входами каждая. Схемы И-НЕ второй ступени сгруппированы в матрицу 4×4 . Управляют второй ступенью дешифраторы первой ступени. Дешифратор Y определяет строку, в которой располагается выбранный элемент второй ступени, а дешифратор X - столбец. Кодовые комбинации, при которых на выходах элементов второй ступени формируются сигналы, получают путем приписывания двоичного номера столбца к двоичному номеру строки.

Вторая ступень дешифратора (рис.6.3) также называется дешифратором, но, в отличие от первой, дешифратором матричного типа. Дешифраторы матричного типа используются при специфических требованиях к выходным сигналам (повышенное напряжение или ток). В таком случае выходная ступень должна выполняться на дискретных компонентах. При этом желательно уменьшить число входов этой ступени, что и делает матричный дешифратор.

2. Мультиплексоры. Комбинационные сумматоры.

Мультиплексоры (MS). Рассмотренный функциональный узел (дешифратор) передает стробирующий сигнал \bar{W} на один из своих выходов. Мультиплексор решает обратную задачу. С помощью мультиплексора сигнал от одного из N входов передается на выход функционального узла. Пример построения схемы мультиплексора, имеющего 4 информационных входа ($D_0 \dots D_3$), показан на рис.6.4,а.



Выбор входа, который передает информацию на выход, осуществляет дешифратор D1, управляемый кодом X (x_1, x_0). Промышленность выпускает интегральные мультиплексоры с числом информационных входов до 16. Обозначение одной из таких ИМС (155КП1) показано на рис.6.4,б. Работа мультиплексора, имеющего N информационных входов, описывается переключательной функцией его выходного сигнала

$$z = \sum_{i=0}^{N-1} D_i \cdot y_i, \quad (4.5)$$

где D_i - информационный сигнал на i-том входе;

y_i - дешифраторная функция (7.1) входных переменных x_i .

Один интегральный мультиплексор передает в канал информацию от небольшого числа источников. При необходимости мультиплексирования большого числа входов применяют многоступенчатые мультиплексоры.

На рис.6.5 показан пример двухступенчатого мультиплексора на ИМС 155КП1.

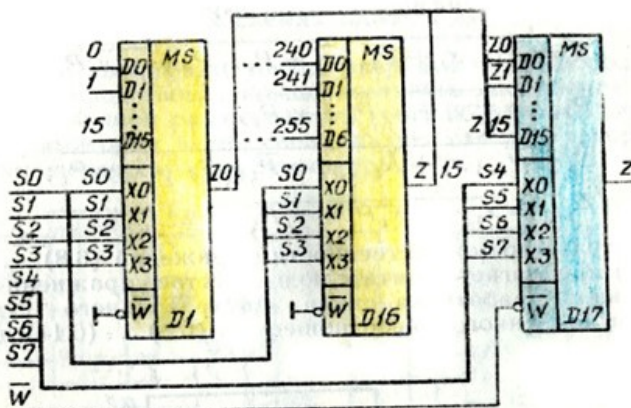


Рис. 6.5

Первая ступень содержит 16 ИМС (D1...D16), управляемых младшими разрядами кода ($S_0 \dots S_3$). Каждый из этих мультиплексоров выбирает и передает на свой выход один из 16 сигналов, поступающих на его входы. Мультиплексор D17 из 16 выходных сигналов первой ступени выбирает один и передает его на общий выход z. Управление второй ступенью осуществляют старшие разряды входа ($S_4 \dots S_7$). Используя принцип построения двухступенчатого мультиплексора, показанный на рис.6.5, можно выполнить мультиплексор с большим числом ступеней.

Комбинационные сумматоры (SM). Сумматоры реализуются по таблице истинности на основе которой составляется переключательная функция. В ЦВМ используются одно и многоразрядные комбинационные сумматоры. Одноразрядным комбинационным сумматором называют схему, которая осуществляет сложение трех двоичных цифр:

$$x_i + y_i + P_i = P_{i+1} S_i,$$

где x_i, y_i, P_i, S_i - цифры слагаемых, переноса и суммы в i -том разряде;

P_{i+1} - цифра переноса в следующий, старший разряд.

Из алгебры логики известны следующие выражения для суммы (S_i) и переноса (P_{i+1}):

$$S_i = \bar{x}_i \bar{y}_i P_i + \bar{x}_i y_i \bar{P}_i + x_i \bar{y}_i \bar{P}_i + x_i y_i P_i; \quad (4.6)$$

$$P_{i+1} = x_i y_i + x_i P_i + y_i P_i. \quad (4.7)$$

Для построения интегральных сумматоров используются тождественные преобразования этих выражений:

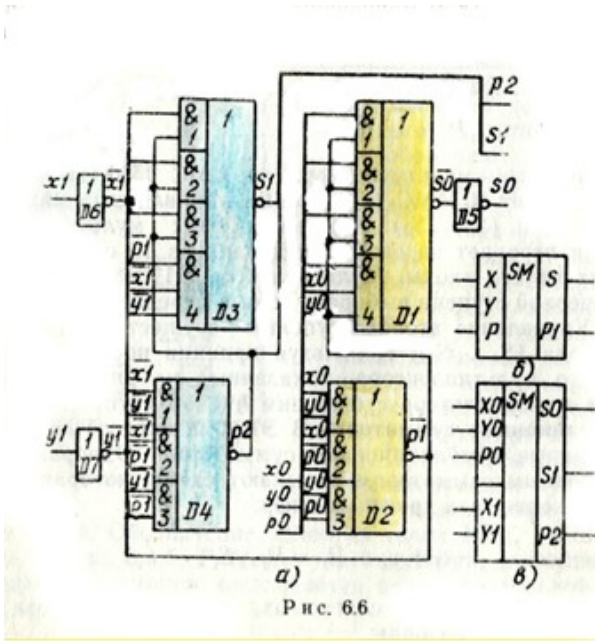
$$S_i = \overline{P_{i+1} \bar{x}_i + P_{i+1} \bar{y}_i + P_{i+1} \bar{P}_i + \bar{x}_i \bar{y}_i \bar{P}_i}; \quad (4.8)$$

$$P_{i+1} = \overline{\bar{x}_i \bar{y}_i + \bar{x}_i \bar{P}_i + \bar{y}_i \bar{P}_i}; \quad (4.9)$$

$$\bar{S}_i = \overline{\bar{P}_{i+1} x_i + \bar{P}_{i+1} y_i + \bar{P}_{i+1} P_i + x_i y_i P_i}; \quad (4.10)$$

$$\bar{P}_{i+1} = \overline{x_i y_i + x_i P_i + y_i P_i}. \quad (4.11)$$

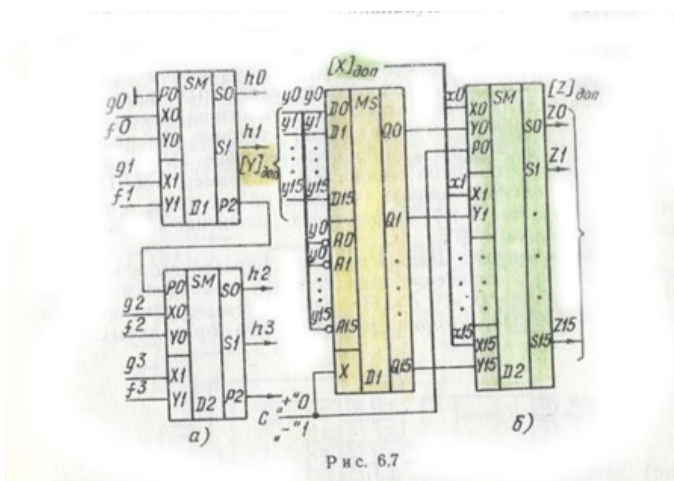
Схема двухразрядного сумматора 155ИМ2, выполненного по соотношениям (4.8)...(4.11) показана на рис.6.6.



Сложение младших разрядов выполняет одноразрядный сумматор на элементах D1, D2, реализованный по уравнениям (4.10), (4.11). В соответствии с (4.6.10), (4.11) на выходе D1 формируется инверсия суммы, а на выходе D2 - инверсия переноса. Окончательное формирование суммы (S_0) осуществляет инвертор D5.

Сложение старших разрядов выполняет сумматор на элементах D3, D4, реализованный по уравнениям (4.8), (4.9). В соответствии с (4.8), (4.9) слагаемые на этот сумматор подаются через инверторы D6, D7. На рис.6.6,б,в показаны обозначения на функциональных схемах одно- и двухразрядного сумматора.

Дальнейшее увеличение числа разрядов сумматора достигается либо посредством последовательного соединения сумматоров с ограниченной разрядностью (рис.6.7,а), либо путем соединения сумматоров через специальную схему, ускоряющую прохождение переноса через сумматоры.



На рис.6.7,б показан пример применения 16-разрядного комбинационного сумматора совместно с мультиплексором D1 для вычисления дополнительного кода суммы или разности по соотношениям:

$$[X + Y]_{\text{доп}} = ([X]_{\text{доп}} + [Y]_{\text{доп}} + 0 \cdot 2^{-m}) \bmod 2$$

$$[X - Y]_{\text{доп}} = ([X]_{\text{доп}} + [\bar{Y}]_{\text{доп}} + 1 \cdot 2^{-m}) \bmod 2$$

Первое слагаемое $([X]_{\text{доп}})$ подается непосредственно на сумматор, второе $([Y]_{\text{доп}})$ или $([\bar{Y}]_{\text{доп}})$ формируется мультиплексором D1 под действием сигнала C, третье вводится в цепь переноса младшего разряда сумматора сигналом C.

3. Комбинационные полусумматоры и сумматоры по модулю 2. Схемы сравнения.

Комбинационные полусумматоры и сумматоры по модулю 2 (HS). Комбинационным полусумматором (рис.6.8,а) называется переключательная схема для сложения двух цифр.

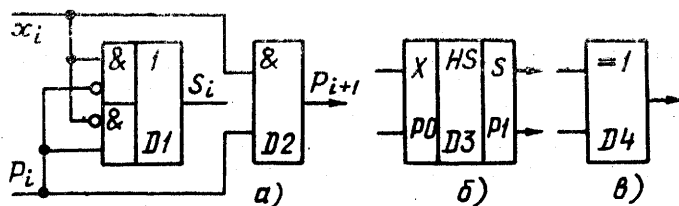


Рис. 6.8

Такая схема используется для сложения многоразрядного числа с одноразрядным числом. При этом, в каждом из разрядов складываются лишь две цифры (цифра многоразрядного слагаемого и переноса). Переключательные функции полусумматора получаются из функций сумматора (4.6), (4.7), если одно из слагаемых (например, y_i) будет равно 0. Элемент D1 полусумматора имеет самостоятельное значение в вычислительной технике. Он называется сумматором по модулю 2, либо “исключающее ИЛИ” и выпускается в виде отдельных микросхем (например, 155ЛП5). Условное обозначение элемента показано на рис.6.8,в. В формулах сложение по модулю 2 обозначают знаком \oplus .

Схемы сравнения (= =). Схемы сравнения определяют в каком из трех возможных отношений находятся два сравниваемых числа A и B ($A > B$, $A = B$, $A < B$). Примером схемы сравнения является ИМС 555СП1, которая сравнивает два 4-разрядных числа (рис.6.9).

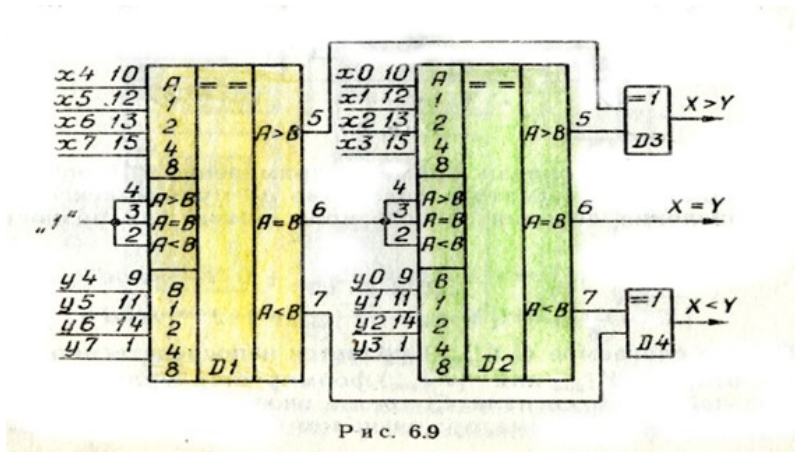


Рис. 6.9

Схема формирует на одном из трех выходов сигнал логической единицы, соответствующий отношению сравниваемых чисел при условии, если выработка этого сигнала разрешена логической единицей на соответствующем входе (выводы 2...4).

На рис.6.9 показано как применить подобную схему для сравнения восьмиразрядных чисел. При необходимости, по аналогии с рис.6.9, можно составить схему сравнения чисел, имеющих большее число разрядов.

4. Регистры

Регистром называется функциональный узел, осуществляющий прием, хранение и выдачу многоразрядного числа.

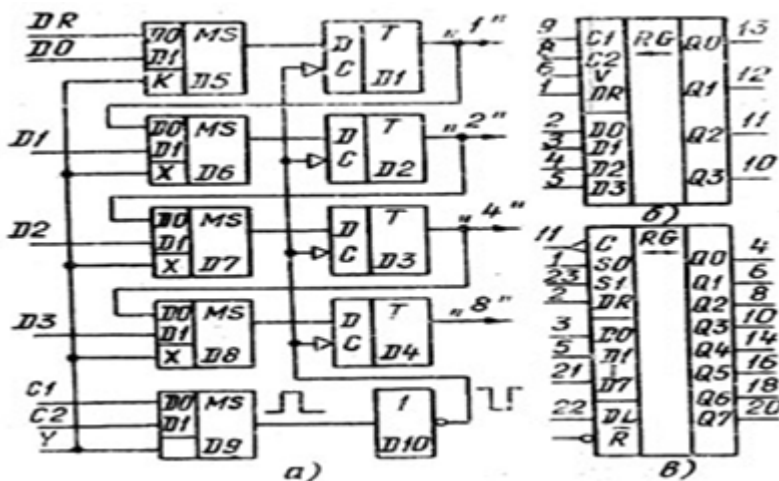


Рис. 6.15

Обычно в регистрах предусматриваются два способа приема и выдачи числа: последовательный (разряд за разрядом) и параллельный. В качестве примера рассмотрим схему 4-разрядного регистра 155IP1 (рис. 6.15,а). Управление регистром осуществляется синхронизирующими (C1, C2) и режимным (V) сигналами. Эти сигналы задают регистру три режима работы: параллельный прием, последовательный прием, хранение. Параллельный прием

осуществляется по фронту синхроимпульсов $C2$ при $V=1$. Последовательный прием, осуществляется по фронту импульсов C при $V=0$. В этом режиме информация в регистр поступает через вход DR и мультиплексор $D5$ на младший разряд. По каждому импульсу $C1$ в регистре осуществляется сдвиг на 1 разряд: $D3$ переписывается на $D4$, $D2$ — на $D3$, $D1$ — на $D2$, а на $D1$ принимается цифра со входа DR . Хранение осуществляется при $V = 0$, если $C1=0$, или при $V=1$, если $C2 = 0$. На рис. 6.15,б приведено обозначение регистра 155ИР1, а на рис. 6,15,в — обозначение 8-разрядного регистра 155ИР1.

5. Счетчики

Счетчиком называют функциональный узел, обеспечивающий подсчет импульсов, поступающих на его вход, а также хранение и выдачу результата. Счетчики различаются основаниями систем счисления и направлениями счета. Наиболее широко используются счетчики с основаниями 2, 10 и 6. В зависимости от направления счета различают суммирующие, вычитающие и реверсивные счетчики. В качестве примера, иллюстрирующего особенности схемотехники счетчиков, рассмотрим ИМС 155ИЕ7 (рис. 6.17).

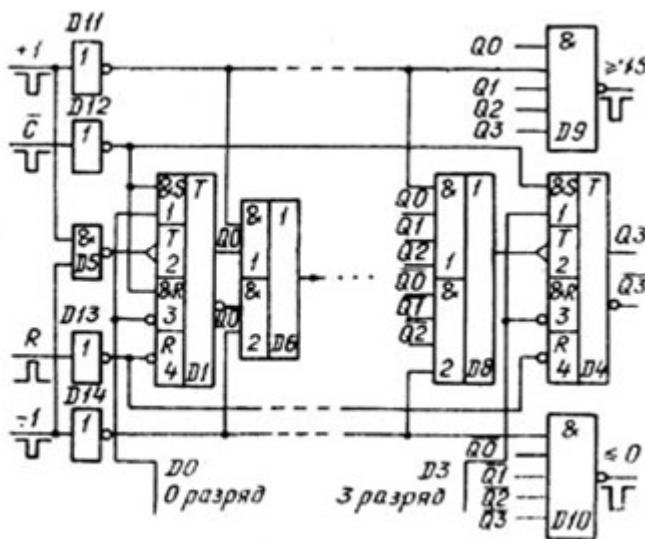


Рис.6.17

Данная ИМС является 4-разрядным реверсивным счетчиком и потому содержит 4 триггера с комбинированным управлением ($D1 \dots D4$). Каждый триггер имеет 4 входа. Входы 1 и 3 выполнены в виде схем совпадения. Они используются для установки начального состояния триггеров перед счетом. Вход 2 используется в процессе счета, а вход 4 — для установки всех разрядов на нуль (сброса счетчика).

Счетчик работает в четырех режимах: сброс, начальная установка, прямой счет, обратный счет. Сброс счетчика осуществляется сигналом $R = 1$ через инвертор $D13$. Начальная установка выполняется по сигналу $\bar{C} = 0$ через

инвертор D12. В этом режиме на каждый триггер записывается цифра со входов D счетчика ($D0...D3$). Прямой счет осуществляется по перепаду сигнала +1 с 0 на 1, а обратный — по сигналу —1.

Счетные импульсы для каждого разряда формируются специальными логическими схемами ($D5...D8$). Младший разряд счетчика изменяет свое состояние на противоположное по каждому импульсу +1 или —1. Формирование счетных импульсов в остальных разрядах зависит от направления счета, при суммировании они формируются на входах 1 элементов $D6...D8$, а при вычитании — на входах 2. Входы 1 формируют счетный импульс, если все предыдущие разряды находятся в состоянии 1. Например, если на счетчике установлен код 0111 и приходит импульс +1, то счетные импульсы сформируются на выходах элементов $D5$, $D6$, $D7$ и $D8$. В результате все триггеры счетчика изменят свое состояние на противоположное ($0111 + 1 = 1000$). При обратном счете те же элементы формируют счетные импульсы при условии, если все предыдущие разряды находятся в состоянии 0. Например, если на счетчике установлен код 1000, то, в соответствии с изложенным правилом, счетные импульсы сформируются на выходах элементов $D5...D8$, и все триггеры счетчика изменят свое состояние на противоположное ($1000 - 1 = 0111$).

Если в процессе прямого счета на счетчике образуется код $(1111)_2 = (15)_{10}$, то очередной импульс «+1» формирует на выходе элемента $D9$ сигнал «>15» и обнуляет счетчик. Таким образом, 4-разрядный счетчик считает от 0 до 15, то есть по модулю 16. Счетчик, имеющий n разрядов, считает по модулю 2^n . Если в процессе обратного счета на счетчике образуется код 0000, то очередной импульс «—1» формирует на выходе элемента $D10$ сигнал «<0» и устанавливает на счетчике код 1111. Сигналы «>15» и «<0» используются при последовательном соединении ИМС 155ИЕ7 (рис. 6.18) с целью увеличения числа разрядов счетчика.

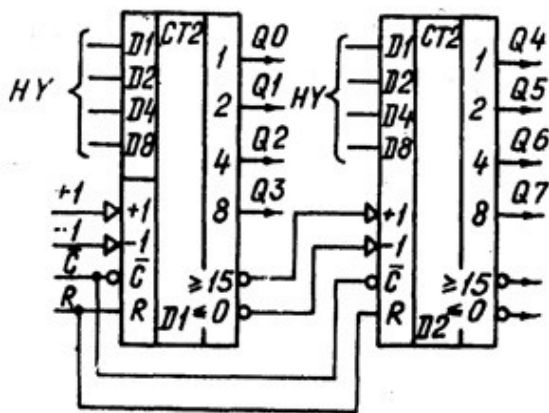


Рис.6.18

Счетчики широко используются в вычислительной технике для измерения, временных интервалов и частоты импульсов, а также для деления частоты импульсов в заданном отношении.

Контрольные вопросы:

1. Общие сведения о ЦВМ параллельного действия.
2. Дешифраторы.
3. Мультиплексоры.
4. Комбинационные сумматоры.
5. Комбинационные полусумматоры и сумматоры по модулю 2.
6. Схемы сравнения.
7. Регистры.
8. Счетчики.

Литература

1. Цифровые вычислительные системы и их программное обеспечение. Учебное пособие для вузов. К.Н. Матюхин, В.И. Петров. М.: МГТУ ГА, 2019.
2. Системы автоматического управления: бортовые цифровые вычислительные системы. Учебное пособие для вузов. В. М. Антимиров ; под науч. ред. В. В. Телицина. — М. : Издательство Юрайт, 2017.
3. Бортовые цифровые вычислительные устройства и машины. Учебное пособие для вузов. Р.М. Половов, А.Г. Рощин. М.: МГТУ ГА, 2003.
4. Бортовые цифровые вычислительные устройства и машины: Учебник для вузов. М. ВВИА им. Н.Е. Жуковского, 2008.
5. Вычислительные машины комплексов авиационного оборудования. Учебник для вузов. С.П. Кастерский, Б.О. Качанов, Ю.А. Кочетков, В.М. Томшин, И.А. Шур - М.: Воениздат, 1995.