

ЛАБОРАТОРНАЯ РАБОТА №1

СИНТЕЗ КОМБИНАЦИОННЫХ УСТРОЙСТВ ПО ЗАДАННОЙ ЛОГИЧЕСКОЙ ФУНКЦИИ

Цель работы: 1. Изучение способов синтеза комбинационных устройств по заданной логической функции.

2. Построение комбинационных устройств и экспериментальная проверка выполнения ими заданных таблиц истинности.

Продолжительность работы - 4 часа.

1. ТЕОРЕТИЧЕСКИЕ ПОЛОЖЕНИЯ

Логической функцией называется двоичная переменная, являющаяся результатом некоторых действий над другими двоичными переменными, называемыми аргументами:

$$y = F(x_1, x_2, x_3, \dots, x_n).$$

Задание логической функции (ЛФ) означает, что каждому сочетанию ее аргументов (каждому набору аргументов $x_1, x_2, x_3, \dots, x_n$) поставлено в соответствие определенное значение функции, т.е. ее соответствие логическому 0 или логической 1. Если число аргументов функции равно n , то количество наборов аргументов равно $K = 2^n$, а число возможных ЛФ определяется как:

$$N = 2^K = 2^{2^n}.$$

Две ЛФ являются разными, если они отличаются хотя бы для одного из K наборов аргументов. ЛФ является заданной (определенной), если известны её значения для всех K наборов, в противном случае ЛФ является недоопределенной. Если ЛФ имеет наборы аргументов, на которых она может принимать значения как логического 0, так и логической 1, то такие наборы аргументов называются факультативными - в отличие от единичных наборов (на которых ЛФ принимает значение 1) или нулевых наборов (на которых ЛФ принимает значение 0). Все K наборов аргументов нумеруются десятичными числами, полученными из натурального двоичного кода, образованного значениями аргументов ЛФ. При этом необходимо учесть, какой из аргументов $x_1, x_2, x_3, \dots, x_n$ является младшим значащим разрядом (МЗР), а какой старшим значащим разрядом (СЗР). Так, если принять, что x_1 - МЗР, а x_n - СЗР, то целое десятичное число, образованное набором аргументов, равно:

$$A = \sum_{i=1}^n x_i \cdot 2^{i-1}, \quad (1)$$

где x_i - аргументы ЛФ ($i=1, 2, \dots, n$): $x_i=0$ или $x_i=1$.

Согласно закону суперпозиции алгебры логики, можно образовывать сложные ЛФ, т.е. такие функции, аргументы которых, в свою очередь, являются

ЛФ других аргументов. Так, $y = f(z_1, z_2)$, $z_1 = f(x_1, x_2)$, $z_2 = f(x_3, x_4)$, а значит $y = F(x_1, x_2, x_3, x_4)$.

1.1. Алгебраическая запись ЛФ

Это запись ЛФ, использующая символы конъюнкции, дизъюнкции и отрицания, которые связывают аргументы функции. Зная запись ЛФ, легко построить структурную схему комбинационного устройства, реализующего заданную ЛФ.

Из четырех способов задания ЛФ – текстового, табличного, в виде алгебраической записи, о которой идет речь, и сокращенного цифрового – выберем последний.

Если ЛФ задана в виде

$$y(x_1, x_2, x_3, x_4) = \sum_{i=0}^{2^4-1} (0, 1, 3, 5, 9), \quad (2)$$

это означает, что она принимает значение 1 на наборах, номера которых указаны в скобках и получены по формуле(1) при известных значениях аргументов. На остальных наборах ЛФ принимает значение 0.

Зная способы аналитической записи минтермов, номера которых указаны в скобках, заданную ЛФ легко записать в совершенной дизъюнктивной нормальной форме (СДНФ) как логическую сумму указанных минтермов:

$$y(x_1, x_2, x_3, x_4) = \overline{x_4} \cdot \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} + \overline{x_4} \cdot \overline{x_3} \cdot \overline{x_2} \cdot x_1 + \overline{x_4} \cdot \overline{x_3} \cdot x_2 \cdot \overline{x_1} + \overline{x_4} \cdot \overline{x_3} \cdot x_2 \cdot x_1 + \overline{x_4} \cdot x_3 \cdot \overline{x_2} \cdot \overline{x_1} + \overline{x_4} \cdot x_3 \cdot \overline{x_2} \cdot x_1 + \overline{x_4} \cdot x_3 \cdot x_2 \cdot \overline{x_1} + \overline{x_4} \cdot x_3 \cdot x_2 \cdot x_1. \quad (3)$$

Если ЛФ задана в виде:

$$y(x_1, x_2, x_3, x_4) = \prod_{i=0}^{15} (0, 1, 3, 5, 9). \quad (4)$$

это означает, что в скобках указаны номера наборов, на которых она принимает значение 0, а на остальных наборах - значение 1.

Зная способы записи макстермов, номера которых указаны в скобках, заданную ЛФ можно легко записать в совершенной конъюнктивной нормальной форме (СКНФ) как логическое произведение макстермов:

$$y(x_1, x_2, x_3, x_4) = (x_4 + x_3 + x_2 + x_1) \cdot (x_4 + x_3 + x_2 + \overline{x_1}) \cdot (x_4 + x_3 + \overline{x_2} + \overline{x_1}) \cdot (x_4 + x_3 + x_2 + \overline{x_1}) \cdot (x_4 + x_3 + \overline{x_2} + \overline{x_1}).$$

Формулы (3) и (4) представляют собой алгебраическую запись ЛФ.

1.2. Минимизация выражения ЛФ, записанного в СДНФ

Запись ЛФ в СДНФ является, как правило, избыточной. Чтобы устройство, реализующее данную ЛФ, состояло из наименьшего числа элементов и логических операций, необходимо осуществить минимизацию алгебраической записи ЛФ. Способы минимизации записи ЛФ основаны на известных законах алгебры логики:

законе склеивания: $x_1 \cdot x_2 + x_1 \cdot \overline{x_2} = x_1(x_2 + \overline{x_2}) = x_1$,

$$(x_1 + x_2) \cdot (x_1 + \bar{x}_2) = x_1.$$

законе поглощения: $x_1 + x_1 \cdot x_2 = x_1 \cdot (1 + x_2) = x_1,$

$$x_1 \cdot (x_1 + x_2) = x_1.$$

Минимизация с помощью карт Карно

Карты Карно для ЛФ трех и четырех аргументов в СДНФ показаны на рис. 1.

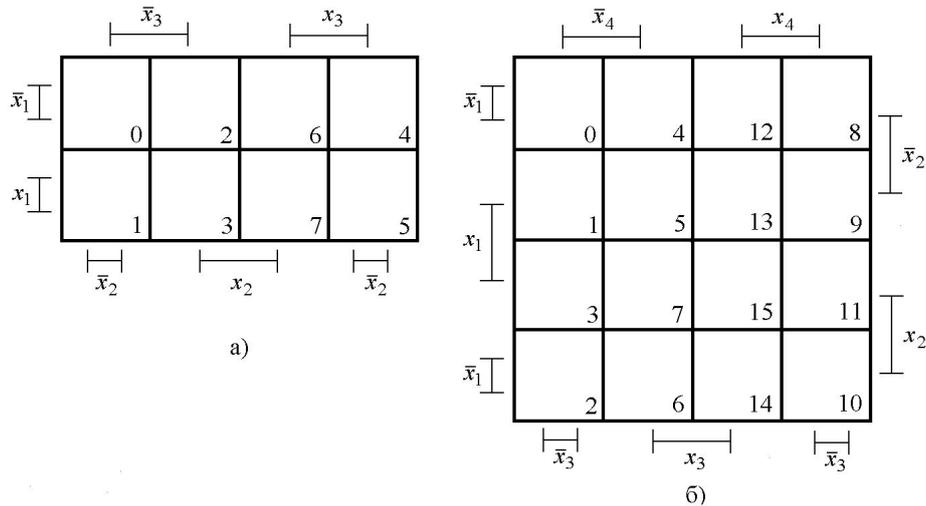


Рис.1. Карты Карно для ЛФ трёх (а) и четырёх (б) аргументов, заданных в СДНФ

На картах Карно указаны столбцы, где аргументы записываются в прямой форме, и строчки, где аргументы также записываются в прямой форме. Номера квадратов карты Карно соответствуют номерам наборов аргументов: если $x_1 = x_2 = x_3 = x_4 = 0$, имеет место нулевой набор аргументов, если $x_1 = x_2 = x_3 = x_4 = 1$ имеет место пятнадцатый набор аргументов в соответствии с формулой (1).

ЛФ, заданная формулой (2), имеет пять единичных наборов, поэтому в клетки карты Карно под номерами 0, 1, 2, 3, 5, 9 записываем единицы. Склеивая минтермы под номерами: 0 и 1, 1 и 3, 1 и 5, 1 и 9, получаем минимальную форму записи данной ЛФ:

$$y(x_1, x_2, x_3, x_4) = \overline{x_2 \cdot x_3 \cdot x_4} + x_1 \cdot \overline{x_3 \cdot x_4} + x_1 \cdot \overline{x_2 \cdot x_4} + x_1 \cdot \overline{x_2 \cdot x_3}. \quad (5)$$

Сравнивая формулы (3) и (5), видим, что запись функции в виде формулы (5) много проще и требует меньшего числа элементов.

Минимизация с помощью факультативных наборов

Примем, что ЛФ, заданная в виде формулы (2), дополнена факультативными условиями:

$$y(x_1, x_2, x_3, x_4) = \sum_0^{15} (0, 1, 3, 5, 9, 2\Phi, 4\Phi, 8\Phi). \quad (6)$$

Это означает, что на наборах под номерами 2, 4 и 8, называемых факультативными, ЛФ может принять значения как 0, так и 1. В квадраты карты Карно (рис.1) вносим, например, факультативные единицы. В этом случае можно склеить следующие минтермы: 0,1,4, 5 и 0,1,3,2 и 0,1, 8,9. В этом случае ЛФ записывается в еще более простом виде:

$$y(x_1, x_2, x_3, x_4) = \overline{0,1,4,5} + \overline{0,1,3,2} + \overline{0,1,8,9} \quad (7)$$

Ясно, что запись ЛФ формулой (7) является более простой, чем формулой (5).

Минимизация ЛФ с помощью нулевых наборов

ЛФ, заданную формулой (6), можно задать в ином виде - для отрицания функции:

$$\overline{y}(x_1, x_2, x_3, x_4) = \sum_0^{15} (6, 7, 10, 11, 12-15). \quad (8)$$

Запись ЛФ формулой (8) означает, что на наборах 6, 7, 10, 11, 12-15 функция равна 0, а ее отрицание $\overline{y}(x_1, x_2, x_3, x_4)$ равно 1. Склеивая минтермы под номерами: 6, 7, 15, 14 и 15, 14, 11, 10 и 12, 13, 14, 15, получаем с помощью карт Карно (рис. 1 б) значение отрицания функции в виде:

$$\overline{y}(x_1, x_2, x_3, x_4) = \overline{6,7,14,15} + \overline{10,11,14,15} + \overline{12-15} \quad (9)$$

Сделав отрицание левой и правой частей формулы (9), образуем выражение для самой ЛФ, полученное с помощью карт Карно (рис. 1 б) и нулевых наборов. В ряде практических случаев такой способ минимизации ЛФ оказывается более удобным, чем другие.

1.3. Преобразование ЛФ, заданной в ДФ, в различные базисы

После минимизации функции, записанной в СДНФ, с помощью карты Карно, например, функции (3), образуется дизъюнктивная форма (ДФ) ее записи, например, функции (5) или (7). Эти записи можно преобразовать к единому базису логических элементов - И-НЕ, ИЛИ-НЕ либо И-ИЛИ-НЕ, каждый из которых, как известно, является функционально полной системой.

Преобразование к базису И-НЕ имеет вид:

$$y = \overline{x_2 \cdot x_4 + x_3 \cdot x_4 + x_2 \cdot x_3} = \overline{z_1 + z_2 + z_3} = \overline{z_1 \cdot z_2 \cdot z_3} = \overline{\overline{\overline{x_2 \cdot x_4}} \cdot \overline{\overline{\overline{x_3 \cdot x_4}}} \cdot \overline{\overline{\overline{x_2 \cdot x_3}}}}$$

Преобразование к базису ИЛИ-НЕ имеет вид:

$$y = \overline{x_2 \cdot x_4 + x_3 \cdot x_4 + x_2 \cdot x_3} = \overline{z_1 + z_2 + z_3} = \overline{x_2 + x_4 + x_3 + x_4 + x_2 + x_3} = \overline{\overline{\overline{\overline{x_2 + x_4}} + \overline{\overline{\overline{\overline{x_3 + x_4}}} + \overline{\overline{\overline{\overline{x_2 + x_3}}}}}}}$$

Преобразование к базису И-ИЛИ-НЕ имеет вид:

$$y = \overline{x_2 \cdot x_4} + \overline{x_3 \cdot x_4} + \overline{x_2 \cdot x_3} = \overline{\overline{x_2 \cdot x_4} + \overline{x_3 \cdot x_4} + \overline{x_2 \cdot x_3}}.$$

2. ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

Работа выполняется на установке для изучения свойств комбинационных и последовательностных цифровых устройств УМ-11. Эти устройства на УМ-11 собираются на ИМС 155 серии.

Для исследования комбинационных устройств в составе УМ-11 имеется:

- 2-х, 3-х, 4-х и 8-входовые элементы типа "И-НЕ";
- 4-х и 7-входовые элементы типа "И-ИЛИ-НЕ";
- 8-разрядный тумблерный регистр для задания входных сигналов парафазным кодом (т.е. каждый разряд регистра имеет одновременно выход "0" или "1");
- 8 элементов индикации для визуального контроля уровня "1" на входах и выходах ИМС.

3. ЛАБОРАТОРНОЕ ЗАДАНИЕ

- 3.1. Получить от преподавателя задание логической функции.
- 3.2. Составить по заданию таблицу истинности.
- 3.3. Записать выражение заданной функции в СДНФ.
- 3.4. Провести минимизацию выражения функции с помощью карты Карно. Преобразовать его к базисам "И-НЕ" или "И-ИЛИ" (по заданию).
- 3.5. Составить схему полученного выражения и дать на проверку преподавателю.
- 3.6. Собрать полученную схему на УМ-11.
- 3.7. Подать на входы схемы сигналы от тумблерного регистра в соответствии с таблицей истинности.
- 3.8. С помощью элементов индикации проверить значения выходных сигналов схемы.

4. СОДЕРЖАНИЕ ОТЧЕТА

- 4.1. Задание логической функции.
- 4.2. Таблица истинности.
- 4.3. Выражение функции до минимизации.
- 4.4. Процедура минимизации и результат.
- 4.5. Процедура преобразования к базисам «И-НЕ» либо «ИЛИ-НЕ».
- 4.6. Схема синтезированного комбинационного устройства.
- 4.7. Значения (0 либо 1) входных и выходных сигналов всех элементов схемы для одной точки логической функции.
- 4.8. Эпюры напряжений входных и выходного сигналов всего устройства для взятой точки.
- 4.9. Выводы о проделанной работе.

ЛИТЕРАТУРА

1. Бабаев В. Г. Основы цифровой схемотехники. Ч.1. – М.: МГТУГА, 1996.

ЛАБОРАТОРНАЯ РАБОТА №2

СИНТЕЗ ШИФРАТОРОВ И ДЕШИФРАТОРОВ КОДОВ

- Цель работы: 1. Изучение способов построения комбинационных устройств типа шифраторов и дешифраторов кодов.
2. Экспериментальная проверка способов построения этих устройств в базисах логических элементов.

Продолжительность работы – 4 часа.

1. ТЕОРЕТИЧЕСКИЕ ПОЛОЖЕНИЯ

СИНТЕЗ ШИФРАТОРОВ

ШИФРАТОР КОДОВ - это комбинационное устройство, преобразующее поступающую на вход КОМАНДУ некоторого символа (понятия) в бинарный код этого символа согласно некоторому стандарту или таблице истинности.

До поступления на вход шифратора команд $x_i = 1$ либо $x_i = 0$ ($i = \overline{0, n-1}$) на выходах шифратора имеет место так называемая ИСХОДНАЯ КОМБИНАЦИЯ: на всех выходах шифратора имеются нули $y_j = 0$, $j = \overline{1, m}$ где m - число выходов шифратора (обычно $m=4$), либо на всех выходах шифратора имеются единицы $y_j = 1$, $j = \overline{1, m}$.

Характер структуры шифратора определяется как видом команды (0 либо 1), так и видом исходной комбинации на выходах шифратора.

1.1. Синтез шифратора прямых кодов цифр 0 ... 9 при условии:

$$x_i = 1, i = \overline{0, 9}; y_j = 0, j = \overline{1, 4}.$$

Прямые коды цифр 0 ... 9 в системе 8-4-2-1 есть двоичные числа этих цифр, обратные коды цифр 0 ... 9 есть инверсия прямых кодов.

Таблица истинности заданного шифратора приведена в табл. 1.

В табл. 1 первая строка показывает, какова исходная комбинация (ИК) на выходе шифратора, когда команды на вход шифратора не поданы. Согласно теории, рассмотренной в работе [2], уравнения каналов шифратора таковы:

$$\begin{aligned} y_1 &= x_1 + x_3 + x_5 + x_7 + x_9, \\ y_2 &= x_2 + x_3 + x_5 + x_6, \\ y_3 &= x_4 + x_5 + x_6 + x_7, \\ y_4 &= x_8 + x_9. \end{aligned} \tag{1}$$

Таблица 1

Цифра	Команды										Выходы				
	x_9	x_8	x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	y_4	y_3	y_2	y_1	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	(ИК)
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1	
2	0	0	0	0	0	0	0	1	0	0	0	0	1	0	
3	0	0	0	0	0	0	1	0	0	0	0	0	1	1	
4	0	0	0	0	0	1	0	0	0	0	0	1	0	0	
5	0	0	0	0	1	0	0	0	0	0	0	1	0	1	
6	0	0	0	1	0	0	0	0	0	0	0	1	1	0	
7	0	0	1	0	0	0	0	0	0	0	0	1	1	1	
8	0	1	0	0	0	0	0	0	0	0	1	0	0	0	
9	1	0	0	0	0	0	0	0	0	0	1	0	0	1	

Уравнения (1) соответствуют табл. 1. Так, для верхней строки, когда команды не поданы, выходные сигналы $y_j = 0$, $j = \overline{1,4}$. Ясно, что при кодировании какой-либо цифры только на некоторых выходах шифратора появляются сигналы логической единицы. Так, при кодировании, например, цифры 7, когда $x_7 = 1$ получаем $y_1 = y_2 = y_3 = 1$, $y_4 = 0$.

1.2. Синтез шифраторов прямых кодов цифр 0 ... 9 при условии:

$$x_i = 0, i = \overline{0,9}; y_j = 0, j = \overline{1,4}.$$

Таблица истинности такого шифратора приведена в табл. 2.

Таблица 2

Цифра	Команды										Выходы				
	x_9	x_8	x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	y_4	y_3	y_2	y_1	
0	1	1	1	1	1	1	1	1	1	1	0	0	0	0	(ИК)
1	1	1	1	1	1	1	1	1	0	1	0	0	0	1	
2	1	1	1	1	1	1	1	0	1	1	0	0	1	0	
3	1	1	1	1	1	1	0	1	1	1	0	0	1	1	
4	1	1	1	1	1	0	1	1	1	1	0	1	0	0	
5	1	1	1	1	0	1	1	1	1	1	0	1	0	1	
6	1	1	1	0	1	1	1	1	1	1	0	1	1	0	
7	1	1	0	1	1	1	1	1	1	1	0	1	1	1	
8	1	0	1	1	1	1	1	1	1	1	1	0	0	0	
9	0	1	1	1	1	1	1	1	1	1	1	0	0	1	

Уравнения каналов шифратора согласно (2) имеют вид:

$$\begin{aligned} y_1 &= x_1 \cdot x_3 \cdot x_5 \cdot x_7 \cdot x_9, \\ y_2 &= x_2 \cdot x_3 \cdot x_5 \cdot x_6, \end{aligned} \quad (2)$$

$$y_3 = \overline{x_4 \cdot x_5 \cdot x_6 \cdot x_7},$$

$$y_4 = \overline{x_8 \cdot x_9}.$$

Структурно-логическая схема шифратора, соответствующего уравнениям (2), показана на рис. 1 а), УГО – на рис. 1 б).

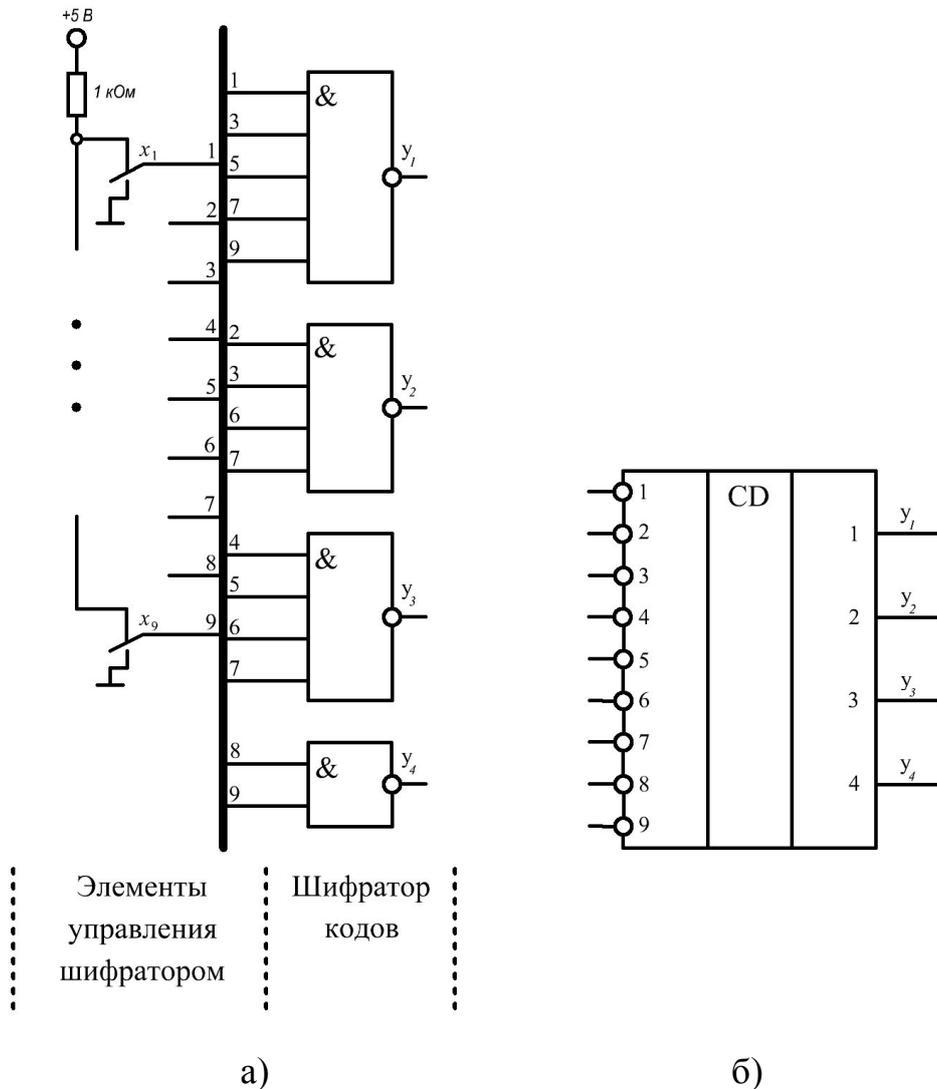


Рис.1. Структурно-логическая схема (а) и УГО (б) шифратора с обратными входами: $x_i = 0, i = \overline{0,9}; y_j = 0, j = \overline{1,4}$

Схема рис. 1, а) работает согласно табл.1: в случае, когда команды не поданы, на всех выходах шифратора имеется уровень логического нуля. При кодировании, например, цифры 7 ($x_7 = 0$), $y_1 = y_2 = y_3 = 1, y_4 = 0$. Согласно рис. 1, б) рассмотренный шифратор является шифратором с ОБРАТНЫМИ ВХОДАМИ, т.к. получает команды в виде логического нуля.

Ясно, что структурно-логическая схема шифратора, построенного по уравнениям (1), совпадает со схемой рис.1 а, но используют элементы ИЛИ вместо элементов И-НЕ рис. 1 а. Такой шифратор называется шифратором с

ПРЯМЫМИ ВХОДАМИ, т.к. получает команды в виде логической единицы. Его УГО не имеет кружочков на входах.

1.3. Общий метод синтеза шифратора прямых кодов цифр 0 ... 9

Этот метод состоит в следующем:

1) Согласно условию работы шифратора составляется таблица истинности. Ранее в табл. 1 и 2 показаны таблицы истинности для двух условий работы шифраторов, возможны еще два условия работы шифраторов, рассмотренные в работе [2].

2) Составляются уравнения каналов и структурно-логическая схема шифратора, как, например, уравнения (1) и (2), полученные соответственно для условий: $x_i = 1; y_j = 0$ и $x_i = 0; y_j = 0, i = \overline{0,9}, j = \overline{1,4}$. В табл. 3 показано, какая логика связывает команды шифраторов с прямыми входами при разных видах команд $x_i = 1$ либо $x_i = 0$ и разных ИК $y_j = 0$ или $y_j = 1$.

Таблица 3

x_i \ ИК	$y_j = 0$	$y_j = 1$
$x_i = 1$	ИЛИ команд, вызывающих смену 0→1 на выходе	ИЛИ–НЕ команд, вызывающих смену 1→0 на выходе
$x_i = 0$	И–НЕ команд, вызывающих смену 0→1 на выходе	И команд, вызывающих смену 1→0 на выходе

СИНТЕЗ ДЕШИФРАТОРОВ

ДЕШИФРАТОР есть комбинационное устройство, служащее для распознавания кодовых комбинаций. На вход дешифратора поступает кодовая комбинация в виде бинарного слова, соответствующего какому-либо понятию, закодированному этим словом. Очевидно, что любое бинарное слово можно рассматривать, как некоторое двоичное число.

На выходах дешифратора в ответ на входное бинарное слово (число) образуется унарное слово. Если унарное слово прямое, то распознавание дешифратором входного бинарного слова проявляется в том, что только на **ОДНОМ ВЫХОДЕ ДЕШИФРАТОРА** появляется логическая единица, а на остальных выходах – логические нули. В этом случае имеет место распознавание входного бинарного слова дешифратором с **ПРЯМЫМИ ВЫХОДАМИ**. Ясно, что суть распознавания заключается в том, что только на одном выходе дешифратора, названном так же, как закодированное входным бинарным словом понятие, появляется логическая единица, а на остальных выходах – логические нули.

Если унарное выходное слово обратное, то распознавание входного бинарного слова проявляется в том, что только на одном выходе дешифратора

появляется логический нуль, а на остальных – логические единицы. Ясно, что выход дешифратора, на котором появляется нуль, назван так же, как понятие, закодированное входным бинарным словом. В этом случае имеет место дешифратор с ОБРАТНЫМИ ВЫХОДАМИ.

1.4. Синтез дешифраторов с прямыми выходами

В качестве примера рассмотрим синтез дешифратора трехразрядных бинарных слов. Примем также, что устройство имеет один прямой и один обратный строб-входы.

Таблица истинности дешифратора приведена в табл.4. В ней $V_1=1$ прямой строб-сигнал, $V_2=0$ – обратный строб-сигнал. При $V_1=0$ и (или) $V_2=1$ дешифратор не имеет разрешения на свою работу.

Таблица 4

V_1	V_2	x_3	x_2	x_1	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	×	×	×	×	0	0	0	0	0	0	0	0
×	1	×	×	×	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0	0
1	0	0	1	1	0	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	1	0	0	0	0	0	1	0	0
1	0	1	1	0	0	0	0	0	0	0	1	0
1	0	1	1	1	0	0	0	0	0	0	0	1

Из табл. 4 видно, что в случае подачи строб-сигналов, не разрешающих работу дешифратора ($V_1=0$ и (или) $V_2=1$), на ВСЕХ ВЫХОДАХ дешифратора имеет место сигнал логического нуля.

В случае подачи нормальных строб-сигналов $V_1=1$, $V_2=0$ в каждом канале дешифратора выполняется логическая функция типа МИНТЕРМ, как видно из табл. 4. Следовательно, уравнения каналов дешифратора имеют вид:

$$\begin{aligned}
 y_0 &= V_1 \cdot \overline{V_2} \cdot \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1}, \\
 y_1 &= V_1 \cdot \overline{V_2} \cdot \overline{x_3} \cdot \overline{x_2} \cdot x_1, \\
 y_2 &= V_1 \cdot \overline{V_2} \cdot \overline{x_3} \cdot x_2 \cdot \overline{x_1}, \\
 y_3 &= V_1 \cdot \overline{V_2} \cdot \overline{x_3} \cdot x_2 \cdot x_1, \\
 y_4 &= V_1 \cdot \overline{V_2} \cdot x_3 \cdot \overline{x_2} \cdot \overline{x_1}, \\
 y_5 &= V_1 \cdot \overline{V_2} \cdot x_3 \cdot \overline{x_2} \cdot x_1, \\
 y_6 &= V_1 \cdot \overline{V_2} \cdot x_3 \cdot x_2 \cdot \overline{x_1}, \\
 y_7 &= V_1 \cdot \overline{V_2} \cdot x_3 \cdot x_2 \cdot x_1.
 \end{aligned} \tag{3}$$

Из уравнений (3) ясно, что в общем виде уравнение каналов дешифратора можно записать так:

$$y_j = C_{cmp}^1 \cdot C_i^1. \quad (4)$$

Это значит, что выходной сигнал i -го канала дешифратора ($i = 0, 2^n - 1$), где n -число разрядов входного слова, образуется конъюнкцией минтерма строб-сигналов C_{cmp}^1 (в уравнениях (3) $C_{cmp}^1 = V_1 \cdot \overline{V_2}$) и i -го минтерма информационных сигналов C_i^1 (в уравнениях (4) $i = 0$ и $C_0^1 = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} \dots i = 7$ и $C_7^1 = x_3 \cdot x_2 \cdot x_1$).

Структурно-логическая схема дешифратора согласно уравнениям (3) включает четыре инвертора и восемь элементов 5И.

В том случае, когда рассматриваемый дешифратор должен быть построен на элементах И-НЕ, имеющих не более четырех входов, уравнения (3) следует изменить следующим образом:

$$\begin{aligned} y_0 &= \overline{V_1 \cdot V_2 \cdot x_3 \cdot x_2 \cdot x_1} = \overline{k \cdot x_3 \cdot x_2 \cdot x_1}, \\ &\quad \bullet \bullet \bullet \\ y_7 &= \overline{V_1 \cdot V_2 \cdot x_3 \cdot x_2 \cdot x_1} = \overline{k \cdot x_3 \cdot x_2 \cdot x_1}. \end{aligned} \quad (5)$$

В уравнениях (5) сигнал $k = \overline{V_1 \cdot V_2} = \overline{C_{cmp}^1}$ образуется с помощью двух элементов 2И-НЕ, а сигналы $y_0 \dots y_7$ - также с помощью двух элементов: 4И-НЕ и 2И-НЕ. Структурно-логическая схема и УГО дешифратора показаны на рис.2.

В схеме рис.2 используются восемь элементов 4И-НЕ, играющих основную роль, инверторы выполнены на элементах 2И-НЕ, сигнал k (провод 9) формируется на элементах 2И-НЕ.

Очевидно, что схема рис.2, а полностью соответствует уравнениям (5) и таблице истинности, приведенной в табл.4. Так, при подаче строб-сигналов, не разрешающих работу дешифратора ($V_1=0$ и (или) $V_2=1$), выходные сигналы $y_0 = y_1 = \dots = y_7 = 0$. При подаче строб-сигналов $V_1=1$ и $V_2=0$ и, например, входного слова $3 = 011_2$ только один выходной сигнал $y_3 = 1$.

1.5. Синтез дешифраторов с инверсными (обратными) выходами

В таких дешифраторах, как отмечалось выше, распознавание входного бинарного слова проявляется в том, что только на одном выходе, названном по имени входного слова, появляется сигнал логического нуля, а на всех остальных – сигналы логической единицы.

Следовательно, в таблице истинности дешифратора выходные сигналы ($y_0 \dots y_7$ например, для табл.4) следует проинвертировать по сравнению с таблицей истинности дешифратора с прямыми выходами. Ясно, что входные сигналы обоих дешифраторов одинаковы.

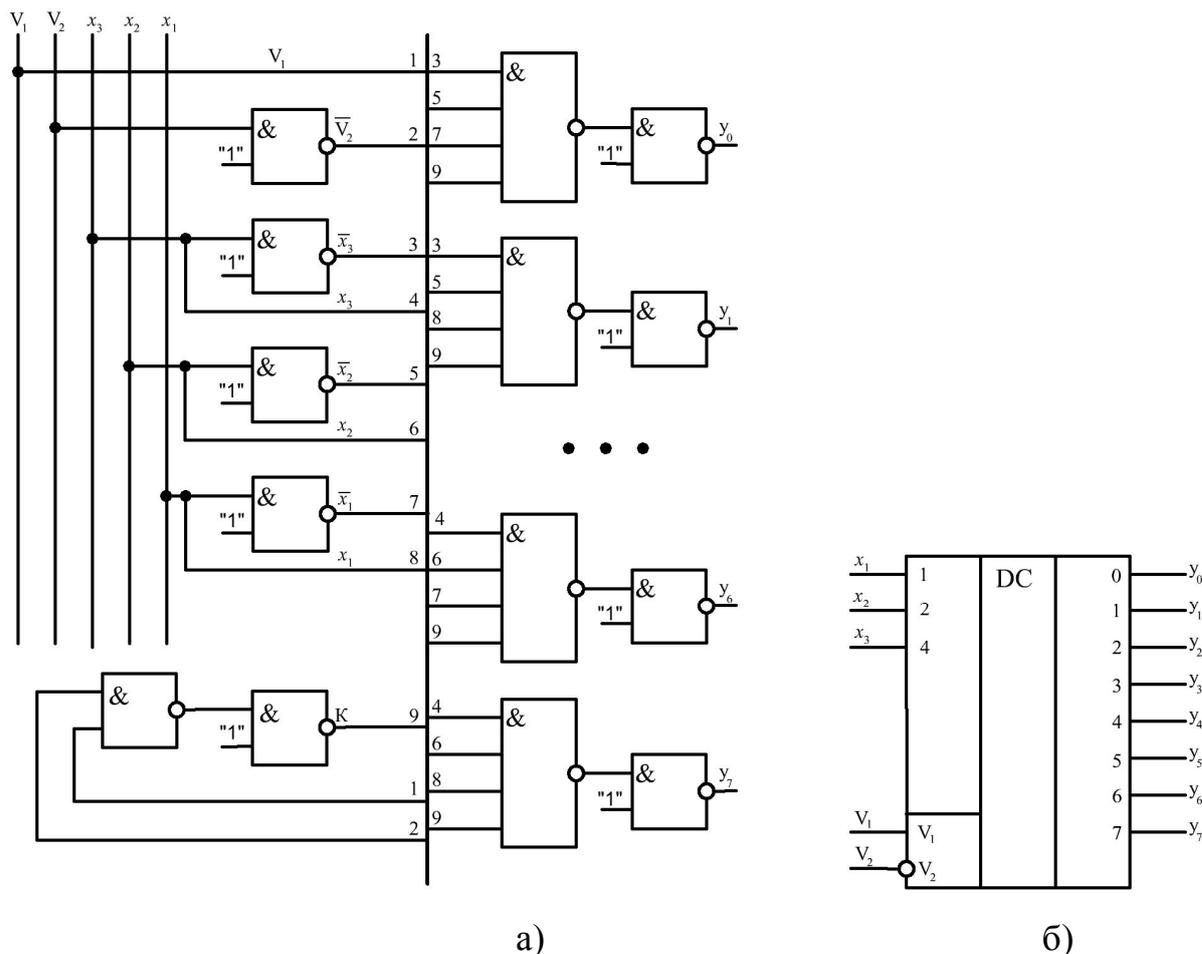


Рис.2. Структурно-логическая схема (а) и УГО (б) дешифратора с 3 на 8 с прямыми выходами

Из этого следует, что в каждом канале дешифратора с обратными выходами выполняется логическая функция, обратная записанной в уравнении (4), а именно:

$$y_i = \overline{C_{cmp}^1 \cdot C_i^1}. \quad (6)$$

С учетом этого уравнения, например, (5) дешифратора с 3 на 8 с одним прямым и одним обратным строб-сигналами преобразуются к виду:

$$\begin{aligned} y_0 &= \overline{V_1 \cdot V_2 \cdot x_3 \cdot x_2 \cdot x_1}, \\ &\dots \\ y_7 &= \overline{V_1 \cdot V_2 \cdot x_3 \cdot x_2 \cdot x_1}. \end{aligned} \quad (7)$$

Ясно, что структурно-логическая схема такого дешифратора совпадает со схемой рис.2 а, но без инверторов на выходах каналов $y_0 \dots y_7$. УГО дешифратора

также совпадает с рис. 2, б, но дополняется кружочками на выходах.

2. ЛАБОРАТОРНОЕ ЗАДАНИЕ

2.1. Синтез шифраторов кодов:

- 1) Согласно полученному заданию составить таблицу истинности шифратора кодов.
- 2) Составить логические уравнения каналов шифратора.
- 3) Нарисовать структурно-логическую схему и УГО шифратора.
- 4) На установке УМ-11 собрать схему шифратора и проверить выполнение таблицы истинности.

2.2. Синтез дешифраторов кодов:

- 1) Согласно полученному заданию составить таблицу истинности дешифратора.
- 2) Составить логические уравнения каналов дешифратора, используя элементы И-НЕ, имеющие не более четырех входов.
- 3) Нарисовать структурно-логическую схему и УГО дешифратора.
- 4) На установке УМ-11 собрать схемы каналов дешифратора, указанные преподавателем, и проверить выполнение таблицы истинности.

3. СОДЕРЖАНИЕ ОТЧЕТА

3.1. По синтезу шифраторов кодов:

- 1) Таблица истинности.
- 2) Уравнения каналов.
- 3) Структурно-логическая схема и УГО.

3.2. По синтезу дешифраторов:

- 1) Таблица истинности.
- 2) Уравнения каналов.
- 3) Структурно-логическая схема и УГО.
- 4)

3.3. Выводы о проделанной работе

ЛИТЕРАТУРА

1. Бабаев В.Г. и др. Схемотехника импульсных и цифровых устройств. – М.: Воздушный транспорт, 1995г.
2. Бабаев В.Г. Основы цифровой схемотехники. Ч. III- М.: МГТУГА, 1996 г.

ЛАБОРАТОРНАЯ РАБОТА №3

СИНТЕЗ ПРЕОБРАЗОВАТЕЛЕЙ КОДОВ

Цель работы: 1. Изучение способов построения преобразователей кодов.
2. Экспериментальная проверка способов построения этих устройств в разных базисах логических элементов.

Продолжительность работы - 4 часа.

1. ТЕОРЕТИЧЕСКАЯ ЧАСТЬ

ПРЕОБРАЗОВАТЕЛЬ КОДОВ есть комбинационное устройство, служащее для преобразования представления какого-либо понятия (цифры, буквы, действия над данными) из одного бинарного кода в другой.

Известно, что стандартные понятия (символы) - цифры, буквы русского или латинского алфавитов, математические или логические действия над данными (числами) - представляются по-разному в различных стандартах. Так, в стандарте КОИ-7, описанном в [2, стр.78], перечисленные понятия (символы) кодируются семиразрядным двоичным числом. Эти же символы в Европейском стандарте кодируются восьмиразрядными двоичными числами и по иному принципу, чем в стандарте КОИ-7.

Наибольшее число вариантов кодирования применяется для представления десятичных цифр 0 ... 9. В табл. 1 показано представление цифр 0 ... 9 в различных кодах.

Таблица 1

Цифра	7 - 4 - 2 - 1	4 - 2 - 2 - 1	2 - 4 - 2 - 1	самодополняющиеся		с избытком 3
				4 - 2 - 2 - 1	2 - 4 - 2 - 1	
0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1
1	0 0 0 1	0 0 0 1	0 0 0 1	0 0 0 1	0 0 0 1	0 1 0 0
2	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0 1 0 1
3	0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1	0 1 1 0
4	0 1 0 0	0 1 1 0	0 1 0 0	0 1 1 0	0 1 0 0	0 1 1 1
5	0 1 0 1	0 1 1 1	0 1 0 1	1 0 0 1	1 0 1 1	1 0 0 0
6	0 1 1 0	1 0 1 0	0 1 1 0	1 1 0 0	1 1 0 0	1 0 0 1
7	1 0 0 0	1 0 1 1	0 1 1 1	1 1 0 1	1 1 0 1	1 0 1 0
8	1 0 0 1	1 1 1 0	1 1 1 0	1 1 1 0	1 1 1 0	1 0 1 1
9	1 0 1 0	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1	1 1 0 0

Примем, что преобразователь кодов служит для преобразования представления цифр 0 ... 9 из кода 8 - 4 - 2 - 1 (так называемый натуральный двоичный код НДК) в код, например, 4 - 2 - 2 - 1 самодополняющий. Таблица истинности преобразователя представлена в табл. 2.

Таблица 2

Цифры	8	–	4	–	2	–	1	4	–	2	–	2	–	1	С
	x_4		x_3		x_2		x_1	y_4		y_3		y_2		y_1	
0	0		0		0		0	0		0		0		0	
1	0		0		0		1	0		0		0		1	
2	0		0		1		0	0		0		1		0	
3	0		0		1		1	0		0		1		1	
4	0		1		0		0	0		1		1		0	
5	0		1		0		1	1		0		0		1	
6	0		1		1		0	1		1		0		0	
7	0		1		1		1	1		1		0		1	
8	1		0		0		0	1		1		1		0	
9	1		0		0		1	1		1		1		1	

Анализ табл. 2 показывает, что данное устройство имеет четыре канала (выхода), в каждом из которых выполняется некоторая логическая функция (ЛФ). В сокращенно-цифровом виде логические функции каналов преобразователя можно записать в виде:

$$\begin{aligned}
 y_1(x_1 - x_4) &= \sum_{i=0}^{15} (1, 3, 5, 7, 9, \neq 10\Phi - 15\Phi), \\
 y_2(x_1 - x_4) &= \sum_{i=0}^{15} (2, 3, 4, 8, 9, \neq 10\Phi - 15\Phi), \\
 y_3(x_1 - x_4) &= \sum_{i=0}^{15} (4, 6 - 9, 10\Phi - 15\Phi), \\
 y_4(x_1 - x_4) &= \sum_{i=0}^{15} (5 - 9, 10\Phi - 15\Phi).
 \end{aligned} \tag{1}$$

В уравнениях (1) учтены факультативные наборы $10\Phi - 15\Phi$.

Используя известные методы, получаем логические выражения всех функций $y_1 \dots y_4$.

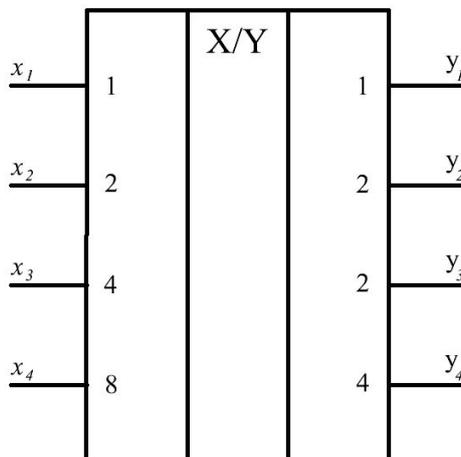


Рис.1. УГО преобразователя кодов

УГО рассматриваемого ПК показано на рис. 1. Из него видна функция устройства: x/y - код X с "весами" 8 - 4 -2 -1 преобразуется в код Y с "весами" 4 -2-2-1.

Рассмотрим синтез ПК, осуществляющего обратные преобразования: из кода 4 -2 - 2 -1С в код 8 - 4 - 2 - 1. Таблица истинности такого ПК приведена в табл.3.

В табл. 3 во втором слева столбце приведены номера наборов аргументов кода 4 -2 - 2 -1С: номер набора получен, если этот набор СЧИТАТЬ ДВОИЧНЫМ ЧИСЛОМ. Это необходимо для того, чтобы использовать карту Карно, в которой цифрами указаны номера наборов, являющихся двоичными числами (т.е. с "весами" 8 - 4 - 2 -1).

Таблица 3

Цифры	№ набора	4 - 2 - 2 - 1С				8 - 4 - 2 - 1			
		x_4	x_3	x_2	x_1	y_4	y_3	y_2	y_1
0	0	0	0	0	0	0	0	0	
1	1	0	0	0	1	0	0	1	
2	2	0	0	1	0	0	0	1	
3	3	0	0	1	1	0	0	1	
4	6	0	1	1	0	0	1	0	
5	9	1	0	0	1	0	1	0	
6	12	1	1	0	0	0	1	1	
7	13	1	1	0	1	0	1	1	
8	14	1	1	1	0	1	0	0	
9	15	1	1	1	1	1	0	0	

С учётом табл. 3 сокращенно-цифровая форма ЛФ каналов ПК имеет вид:

$$\begin{aligned}
 y_1(x_1 - x_4) &= \sum_{i=0}^{15} (1, 3, 9, 13, 15, 4\Phi, 5\Phi, 7\Phi, 8\Phi, 10\Phi, 11\Phi), \\
 y_2(x_1 - x_4) &= \sum_{i=0}^{15} (2, 3, 12, 13, \Phi), \\
 y_3(x_1 - x_4) &= \sum_{i=0}^{15} (6, 9, 12 - 15, \Phi), \\
 y_4(x_1 - x_4) &= \sum_{i=0}^{15} (14, 15, \Phi).
 \end{aligned} \tag{2}$$

В общем виде способ синтеза любого ПК выглядит так:

- 1). Составляем таблицу истинности (преобразования) устройства.
- 2). С помощью карт Карно получаем выражение всех каналов ПК, независимо от числа его каналов.
- 3). Преобразуем полученные выражения в нужный базис ЛЭ и составляем структурно-логическую схему ПК.
- 4). При составлении этой схемы определяем общие (одинаковые) части

выражений, это дает возможность использовать в разных каналах общие узлы логических элементов.

2. ЛАБОРАТОРНОЕ ЗАДАНИЕ

2.1. Преобразователь кодов из системы "весов" $8 - 4 - 2 - 1$ в систему "весов" специальных кодов.

1). По заданию, полученному от преподавателя, составить таблицу истинности (преобразования) устройства.

2). Записать сокращенно-цифровое задание каналов ПК.

3). С помощью карт Карно получить выражение каналов ПК, преобразовать их в заданный преподавателем базис логических элементов.

4). Составить структурно-логическую схему ПК.

5). Собрать эту схему на установке УМ-11 и проверить выполнение таблицы истинности (преобразования).

2.2. Преобразователь кодов из системы "весов" специальных кодов в систему "весов" $8 - 4 - 2 - 1$.

1) По заданию, полученному от преподавателя, составить таблицу истинности (преобразования) устройства.

2) Записать сокращенно-цифровое задание каналов ПК.

3) С помощью карт Карно получить выражение каналов ПК, преобразовать их в заданный преподавателем базис логических элементов.

4) Составить структурно-логическую схему ПК.

5) Собрать эту схему на установке УМ-11 и проверить выполнение таблицы истинности (преобразования).

3. СОДЕРЖАНИЕ ОТЧЕТА

3.1. По синтезу ПК согласно п.2.1.

1). Таблица истинности.

2). Сокращенно-цифровое задание ЛФ каналов ПК.

3). Карты Карно и уравнения каналов ПК.

4). Структурно-логическая схема ПК, его УГО.

3.2. По синтезу ПК согласно п.2.2.

1). Таблица истинности.

2). Сокращенно-цифровое задание ЛФ каналов ПК.

3). Карты Карно и уравнения каналов ПК.

4). Структурно-логическая схема ПК, его УГО.

3.3. Выводы о проделанной работе.

ЛИТЕРАТУРА

1. Бабаев В.Г. и др. Схемотехника импульсных и цифровых устройств. - М.: Воздушный транспорт, 1995.

ЛАБОРАТОРНАЯ РАБОТА №4

СИНТЕЗ КОММУТАТОРОВ КОДОВ В ОГРАНИЧЕННОМ БАЗИСЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Цель работы: 1.Изучение способов синтеза коммутаторов кодов типа мультиплексоры и демультимплексоры в ограниченном базисе логических элементов.
2.Экспериментальная проверка этих способов на основе логических элементов типа И-НЕ и И-ИЛИ-НЕ.

Продолжительность работы - 4 часа.

1. ТЕОРЕТИЧЕСКАЯ ЧАСТЬ

КОММУТАТОРАМИ КОДОВ называются комбинационные цифровые устройства, служащие для соединения (коммутации) источников кодов с приемником кодов по определенному правилу.

В данной лабораторной работе изучаются способы синтеза коммутаторов ПОСЛЕДОВАТЕЛЬНЫХ КОДОВ. Такие коммутаторы соединяют источник кодов с приемником кодов по одному каналу (образно по одному "проводу"), а передача кодов от источника к приемнику производится за несколько тактов. Ясно, что число тактов равно числу разрядов в БИНАРНОМ СЛОВЕ, передаваемом от источника кодов (слов) к приемнику кодов. Следовательно, исследуемые коммутаторы передают от источника к приемнику коды в виде бинарных слов, которые в общем виде являются двоичными или двоично-десятичными числами.

1.1. СИНТЕЗ МУЛЬТИПЛЕКСОРОВ

МУЛЬТИПЛЕКСОР есть комбинационное устройство, осуществляющее выбор одного из N источников кодов и соединение его с единственным приемником кодов по одному каналу.

Для выбора одного из N источников кодов используется адресный код, имеющий m разрядов:

$$m = \lceil \log_2 N \rceil. \quad (1)$$

где квадратные скобки означают - взять ближайшее большее целое число.

Очевидно, что число наборов адресного кода равно $2^m \geq N$.

Структура мультиплексора такова, что после выбора одного из N источников кодов коммутация источника и приемника осуществляется автоматически, но после подачи на мультиплексор соответствующих стробирующих сигналов.

Таким образом, мультиплексор имеет N информационных входов

$(D_0, D_1, \dots, D_{n-1})$, m - адресных входов, один или несколько стробирующих входов разного типа (прямых или инверсных) и один информационный выход. К информационным входам подключаются источники кодов (слов), а к информационному выходу - приемник кодов. Следовательно, в общем виде логическое уравнение мультиплексора можно записать следующим образом:

$$y = C_{строб}^1 \cdot \sum_{i=0}^{N-1} C_{адр i}^1 \cdot D_i. \quad (2)$$

В уравнении (2) $C_{строб}^1$ - минтерм строб-сигналов, $i = 0, 1, \dots, N-1$ - номера каналов устройства, $C_{адр i}^1$ - минтерм адресных сигналов, выбирающих один из N источников кодов.

В качестве примера разберем синтез мультиплексора с $N=8$ входов на один выход, имеющего один прямой и один обратный строб-входы. Таблица истинности такого устройства приведена в табл. 1, число адресных сигналов $m = \log_2 8 = 3$ (сигналы A_1, A_2, A_3).

Таблица 1

V_1	V_2	A_3	A_2	A_1	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	y
0	×	×	×	×	×	×	×	×	×	×	×	×	0
×	1	×	×	×	×	×	×	×	×	×	×	×	0
1	0	0	0	0	1/0	×	×	×	×	×	×	×	1/0
1	0	0	0	1	×	1/0	×	×	×	×	×	×	1/0
1	0	0	1	0	×	×	1/0	×	×	×	×	×	1/0
1	0	0	1	1	×	×	×	1/0	×	×	×	×	1/0
1	0	1	0	0	×	×	×	×	1/0	×	×	×	1/0
1	0	1	0	1	×	×	×	×	×	1/0	×	×	1/0
1	0	1	1	0	×	×	×	×	×	×	1/0	×	1/0
1	0	1	1	1	×	×	×	×	×	×	×	1/0	1/0

Из табл. 1 видно, что $V_1=1$ - прямой строб-сигнал, а $V_2=0$ - обратный строб-сигнал. В том случае, когда эти сигналы не соответствуют норме, мультиплексор (МП) не работает - на его выходе сигнал логического нуля.

При подаче нормальных строб-сигналов, нужного адресного кода осуществляется коммутация i -го входа МП с его выходом. Например, при $A_3 = A_2 = A_1 = 0$ и $V_1 = 1, V_2 = 0$ выход МП соединен со входом D_0 :

$$y = D_0. \quad (3)$$

Логическое уравнение МП согласно уравнению (2) имеет вид:

$$y = V_1 \cdot \overline{V_2} \cdot (\overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} \cdot D_0 + \overline{A_3} \cdot \overline{A_2} \cdot A_1 \cdot D_1 + \overline{A_3} \cdot A_2 \cdot \overline{A_1} \cdot D_2 + \overline{A_3} \cdot A_2 \cdot A_1 \cdot D_3 + A_3 \cdot \overline{A_2} \cdot \overline{A_1} \cdot D_4 + A_3 \cdot \overline{A_2} \cdot A_1 \cdot D_5 + A_3 \cdot A_2 \cdot \overline{A_1} \cdot D_6 + A_3 \cdot A_2 \cdot A_1 \cdot D_7). \quad (4)$$

В уравнении (4) $C_{строб}^1 = V_1 \cdot \overline{V_2}$, $C_{адр 0}^1 = \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1}$, ..., $C_{адр 7}^1 = A_3 \cdot A_2 \cdot A_1$.

Для реализации этого МП необходимо иметь четыре инвертора, восемь логических элементов БИ и один элемент 8ИЛИ.

ОГРАНИЧЕННЫМ БАЗИСОМ логических элементов (ЛЭ) называется набор ЛЭ, каждый из которых выполняет логическую функцию над ограниченным числом аргументов. В установке УМ-11 имеется 20 элементов И-НЕ, каждый из которых имеет не более четырех входов (4И-НЕ) и один ЛЭ 8И-НЕ.

Для синтеза, рассмотренного выше, МП на основе ЛЭ с ограниченными возможностями (не более 4И-НЕ) уравнение (4) следует преобразовать следующим образом:

$$y = V_1 \bar{V}_2 \cdot \overline{\overline{A_3 \cdot A_2 \cdot A_1 \cdot D_0} + \dots + \overline{A_3 \cdot A_2 \cdot A_1 \cdot D_7}} = V_1 \bar{V}_2 \cdot \overline{\overline{A_3 \cdot A_2 \cdot A_1 \cdot D_0} \cdot \dots \cdot \overline{A_3 \cdot A_2 \cdot A_1 \cdot D_7}} = V_1 \bar{V}_2 \cdot \overline{\overline{A_3 \cdot A_2 \cdot A_1 \cdot D_0} \cdot \dots \cdot \overline{A_3 \cdot A_2 \cdot A_1 \cdot D_7}} \quad (5)$$

Структурно - логическая схема МП, построенного по уравнению (5), показана на рис. 1.

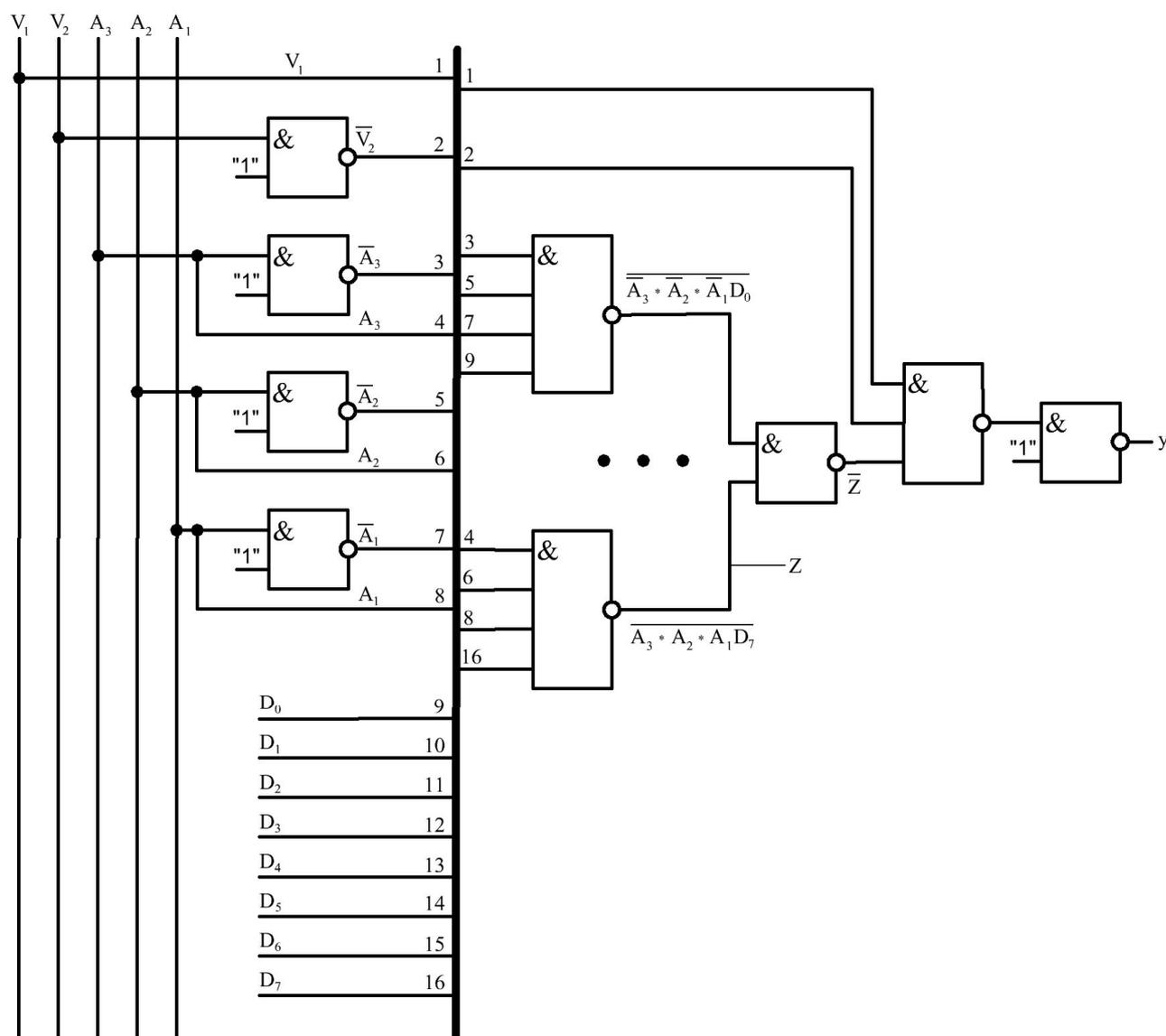


Рис.1. Структурно-логическая схема МП, построенного согласно уравнению (5)

Выбор каналов коммутации производят элементы 4И-НЕ (восемь штук) совместно с объединяющим элементом 8И-НЕ. Результирующий сигнал y образуется на выходной паре элементов - 3И-НЕ, НЕ.

1.2. СИНТЕЗ ДЕМУЛЬТИПЛЕКСОРОВ

ДЕМУЛЬТИПЛЕКСОР есть комбинационное устройство, осуществляющее выбор одного из K приемников кодов и соединение его с единственным источником кодов по одному каналу.

Для выбора одного из K приемников кодов используется адресный код, имеющий m разрядов:

$$m = \lceil \log_2 K \rceil. \quad (6)$$

Демультиплексор (ДМП) имеет один информационный вход D , m адресных входов и K информационных выходов. Следовательно, в структуре ДМП имеется K независимых каналов, в каждом из которых выполняется некоторая логическая функция. Поэтому в общем виде уравнение i -го канала ДМП ($i = \overline{0, K-1}$) имеет вид:

$$y_i = C_{строб}^1 \cdot D \cdot C_{адр i}^1, \quad i = \overline{0, K-1}. \quad (7)$$

В формуле (7) приняты условные обозначения как в формуле (2).

В качестве примера разберем синтез ДМП с одного входа на $K=8$ выходов, имеющего два прямых и один обратный строб-входы. Число разрядов адресных сигналов равно $m = \log_2 8 = 3$. Таблица истинности ДМП показана в табл. 2.

Таблица 2

V_1	V_2	V_3	A_3	A_2	A_1	D	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
1	1	0	0	0	0	1/0	1/0	0	0	0	0	0	0	0
1	1	0	0	0	1	1/0	0	1/0	0	0	0	0	0	0
1	1	0	0	1	0	1/0	0	0	1/0	0	0	0	0	0
1	1	0	0	1	1	1/0	0	0	0	1/0	0	0	0	0
1	1	0	1	0	0	1/0	0	0	0	0	1/0	0	0	0
1	1	0	1	0	1	1/0	0	0	0	0	0	1/0	0	0
1	1	0	1	1	0	1/0	0	0	0	0	0	0	1/0	0
1	1	0	1	1	1	1/0	0	0	0	0	0	0	0	1/0

С помощью табл. 2 получаем уравнения каналов ДМП в виде:

$$y_0 = V_1 \cdot V_2 \cdot \overline{V_3} \cdot \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} \cdot D,$$

$$\begin{aligned}
y_1 &= V_1 \cdot V_2 \cdot \overline{V_3} \cdot \overline{A_3} \cdot \overline{A_2} \cdot A_1 \cdot D, \\
y_2 &= V_1 \cdot V_2 \cdot \overline{V_3} \cdot \overline{A_3} \cdot A_2 \cdot \overline{A_1} \cdot D, \\
y_3 &= V_1 \cdot V_2 \cdot \overline{V_3} \cdot \overline{A_3} \cdot A_2 \cdot A_1 \cdot D, \\
y_4 &= V_1 \cdot V_2 \cdot \overline{V_3} \cdot A_3 \cdot \overline{A_2} \cdot \overline{A_1} \cdot D, \\
y_5 &= V_1 \cdot V_2 \cdot \overline{V_3} \cdot A_3 \cdot \overline{A_2} \cdot A_1 \cdot D, \\
y_6 &= V_1 \cdot V_2 \cdot \overline{V_3} \cdot A_3 \cdot A_2 \cdot \overline{A_1} \cdot D, \\
y_7 &= V_1 \cdot V_2 \cdot \overline{V_3} \cdot A_3 \cdot A_2 \cdot A_1 \cdot D.
\end{aligned} \tag{8}$$

Для реализации каналов ДМП на элементах И-НЕ, имеющих не более четырех входов, уравнения (8) преобразуем следующим образом. Примем, что сигналы $z_1 = \overline{\overline{V_1 \cdot V_2 \cdot \overline{V_3} \cdot A_3}}$, $z_2 = \overline{\overline{V_1 \cdot V_2 \cdot \overline{V_3} \cdot A_3}}$. Эти сигналы получаем с помощью элементов 4И-НЕ и инверторов, выполненных на элементах И-НЕ с любым числом входов. Тогда получаем:

$$\begin{aligned}
y_0 &= \overline{\overline{z_1 \cdot A_2 \cdot A_1 \cdot D}}, \\
&\dots \\
y_3 &= \overline{\overline{z_1 \cdot A_2 \cdot A_1 \cdot D}}, \\
y_4 &= \overline{\overline{z_2 \cdot A_2 \cdot A_1 \cdot D}}, \\
&\dots \\
y_7 &= \overline{\overline{z_2 \cdot A_2 \cdot A_1 \cdot D}}.
\end{aligned} \tag{9}$$

Из уравнений (9) видно, что сигналы $y_0 \dots y_7$ реализуются также на элементах 4И-НЕ и инверторах на элементах И-НЕ.

Структурно-логическая схема ДМП, построенного согласно уравнениям (9), показана на рис.2. Сигналы z_1 и z_2 формируются на элементах в верхней части рис.2 (провода 11 и 12 соответственно). Каналы $y_0 \dots y_3$ используют сигнал z_1 , адресные биты и сигнал D (провод 10), каналы $y_4 \dots y_7$ используют сигнал z_2 , адресные биты и сигнал D .

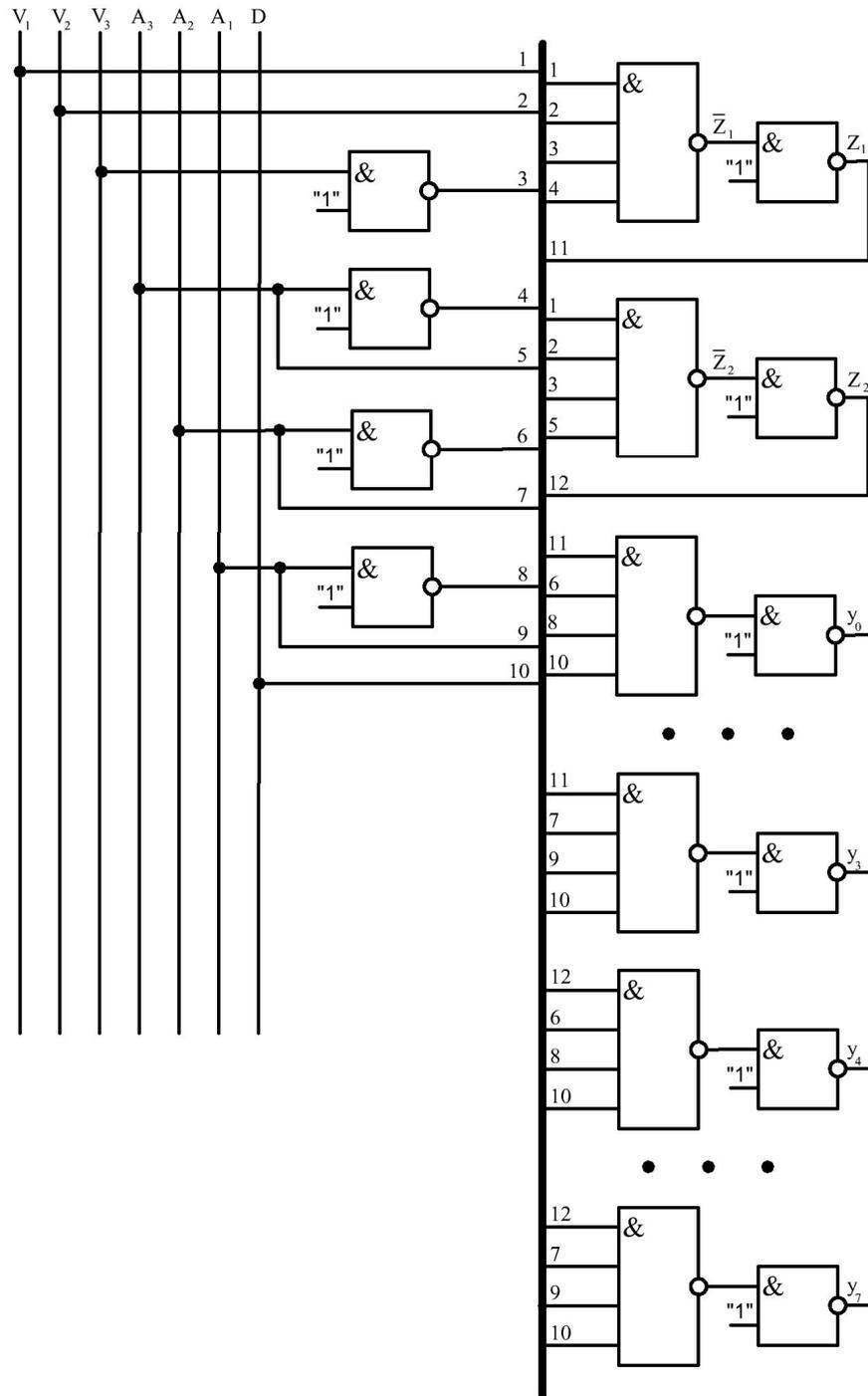


Рис.2. Структурно-логическая схема ДМП, соответствующего уравнениям (9)

2. ЛАБОРАТОРНОЕ ЗАДАНИЕ

2.1. Синтез мультиплексоров.

- 1). Согласно полученному заданию составить таблицу истинности.
- 2). Записать классическое уравнение МП, преобразовать его к заданному базису И-НЕ (все элементы имеют не более четырех входов).

- 3). Зарисовать структурно-логическую схему МП.
- 4). Собрать схему на установке УМ-11 и проверить выполнение таблицы истинности.

2.2. Синтез демультимплексоров

- 1). Согласно полученному заданию составить таблицу истинности.
- 2). Записать классическое уравнение каналов ДМП, преобразовать их к базису И-НЕ (элементы имеют не более четырех входов).
- 3). Зарисовать структурно-логическую схему ДМП.
- 4). Собрать схему на установке УМ-11 и проверить выполнение таблицы истинности.

3. СОДЕРЖАНИЕ ОТЧЕТА

- 3.1. Задания на синтез устройств (МП и ДМП).
- 3.2. Таблицы истинности устройств.
- 3.3. Уравнения каналов.
- 3.4. Структурно – логические схемы и УГО устройств.
- 3.5. Выводы по проделанной работе.

ЛИТЕРАТУРА

- 1.Бабаев В.Г. и др. Схемотехника импульсных и цифровых устройств. - М.: Воздушный транспорт, 1995.
- 2.Бабаев В.Г. Основы цифровой схемотехники. Ч.III- М.: МГТУГА, 1996.

ЛАБОРАТОРНАЯ РАБОТА №5

СИНТЕЗ ТРИГГЕРОВ НА ИНТЕГРАЛЬНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

Цель работы: 1.Изучение способов синтеза триггеров на интегральных логических элементах.

2.Экспериментальная проверка этих способов и исследование характеристик устройств.

1. ТЕОРЕТИЧЕСКИЕ ПОЛОЖЕНИЯ

ТРИГГЕРОМ называется последовательностное устройство, служащее для запоминания и хранения одного бита информации.

Под ЗАПОМИНАНИЕМ подразумевается процесс записи (ввода) одного бита цифрового слова в триггер, а ХРАНЕНИЕ есть процесс сохранения этого бита в течение сколь угодно длинного интервала времени.

Известно, что основным элементом любого по функциональному назначению триггера является ЭЛЕМЕНТАРНЫЙ ТРИГГЕР, или иначе АСИНХРОННЫЙ ПОТЕНЦИАЛЬНЫЙ R_0S_0 - ТРИГГЕР, свойства которого изложены в [1, стр. 150-153]. Теорию этого триггера, а также вопросы по классификации и параметрам триггеров, общей характеристике триггеров следует изучить по работе [1] до выполнения данной лабораторной работы.

1.1. Синтез синхронных RS-триггеров

Правило функционирования CRS-триггера следующее: при $C^t = 0$, $Q^{t+1} = Q^t$ - имеет место режим хранения бита информации (0 или 1), записанного в такте t . При $C^t = 1$ триггер работает, как асинхронный R_0S_0 - триггер. Таблица переходов CRS-триггера показана в табл. 1.

С помощью карты Карно на четыре аргумента получаем характеристическое уравнение триггера (1) в виде функции переходов:

$$Q^{t+1} = C^t \cdot S^t + \overline{C^t} \cdot R^t \cdot Q^t, \quad (1)$$

$$Q^{t+1} = S_0^t + R_0^t \cdot Q^t. \quad (2)$$

Сравнивая уравнение (1) CRS-триггера и уравнение (2) элементарного R_0S_0 -триггера, который является основой любого триггера, видим, что на входы S_0 и R_0 элементарного триггера с инверсными входами следует подать сигналы:

$$\begin{aligned} \overline{S_0^t} &= \overline{C^t \cdot S^t}, \\ \overline{R_0^t} &= \overline{C^t \cdot R^t}. \end{aligned} \quad (3)$$

Следовательно, устройство управления CRS-триггера состоит из двух элементов 2И-НЕ, формирующих сигналы по уравнениям (3). Структурно-логическая схема двухступенчатого CRS-триггера показана на рис.1.

Таблица 1

C^t	S^t	R^t	Q^t	Q^{t+1}
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	×
1	1	1	1	×

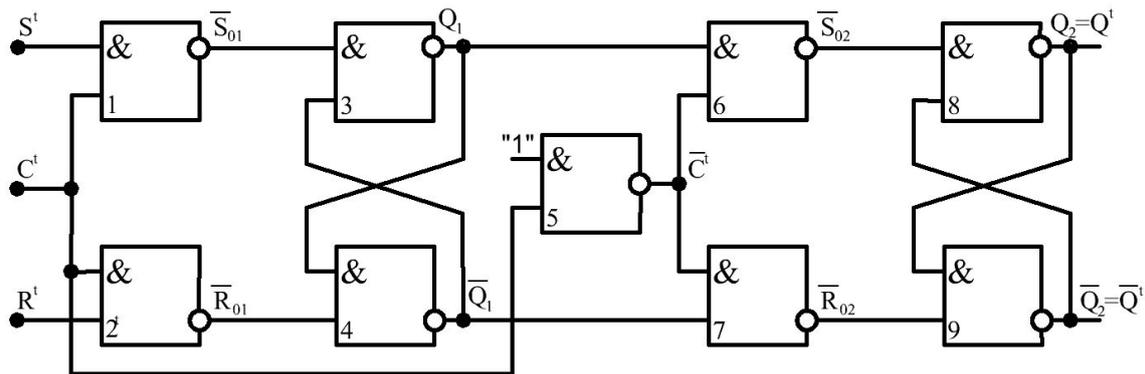


Рис. 1. Структурно-логическая схема двухступенчатого CRS-триггера

Первая ступень триггера построена на логических элементах (ЛЭ) 1-4, вторая на ЛЭ 6-9. Инвертор 5 соединяет обе ступени триггера. Ясно, что и первая, и вторая ступени триггера выполнены по уравнению (1).

При $C^t=1$ работает первая ступень триггера, при этом в первую ступень записывает бит информации. Вторая ступень при $C^t=1$ работает в режиме хранения.

Далее следует изменение синхросигнала: $C^t=0$ и происходит перенос (перепись) информационного бита из первой ступени во вторую.

1.2. Синтез синхронных JK-триггеров

Правило функционирования СJK-триггера следующее: при $C^t=0$, $Q^{t+1}=Q^t$ - имеет место режим хранения бита информации, записанного в такте t . При $C^t=1$ и $J^t=1$, $K^t=0$ происходит запись в триггер единицы $Q^{t+1}=1$, при $C^t=1$, $J^t=0$, $K^t=1$ запись в триггер нуля $Q^{t+1}=0$ и, наконец, при $C^t=1$,

$J^t = K^t = 1$ происходит смена состояния триггера на противоположное $Q^{t+1} = \overline{Q^t}$ (следует помнить, что сигнал C^t подаётся на вход триггера последним во времени, т.е. после сигналов J^t и K^t).

Таблица переходов триггера легко получается из табл. 1, если в ней S^t заменить на J^t (суть обоих сигналов одинакова), R^t заменить на K^t , а в последних двух строчках выходной сигнал Q^{t+1} сделать равным 1 (смена $0 \rightarrow 1$ при $J^t = K^t = 1$) и 0 (смена $1 \rightarrow 0$ при $J^t = K^t = 1$).

Уравнение СJK-триггера, полученное с помощью карты Карно, имеет вид:

$$Q^{t+1} = C^t J^t \overline{Q^t} + \overline{C^t K^t Q^t} \cdot Q^t. \quad (5)$$

Сравнивая уравнение (5) с уравнением элементарного триггера (2), видим, что на входы последнего триггера с инверсными входами необходимо подать сигналы:

$$\begin{aligned} \overline{S_0} &= \overline{C^t J^t \overline{Q^t}}, \\ \overline{R_0} &= \overline{C^t K^t Q^t}. \end{aligned} \quad (6)$$

Это значит, что в СJK - триггере применяются обратные связи – с инверсного выхода триггера сигнал Q^t передается через элемент 3И-НЕ на вход S_0 элементарного триггера (вместе с сигналами C^t , J^t), а с прямого выхода триггера сигнал Q^t передается через элемент 3И-НЕ на вход R_0 элементарного триггера. Следовательно, CRS-триггер, показанный на рис.1, преобразуется в СJK-триггер, если принять $S^t = J^t$, $R^t = K^t$, на вход первого элемента подать сигнал Q^t (т.е. соединить инверсный выход триггера с входом первого элемента 3И-НЕ), а на вход второго элемента 3И-НЕ подать сигнал обратной связи с прямого выхода триггера Q^t .

1.3. Синтез синхронных Т-триггеров

Правило функционирования СТ-триггера следующее:

при $C^t = 0$, $Q^{t+1} = Q^t$ – режим хранения информации,

при $C^t = 1$, $T^t = 0$ – также режим хранения, а при $C^t = 1$, $T^t = 1$, $Q^{t+1} = \overline{Q^t}$ – происходит смена состояния триггера на противоположное.

Таблица переходов СТ-триггера приведена в табл. 2.

Таблица 2

C^t	T^t	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Характеристическое уравнение триггера имеет вид:

$$Q^{t+1} = C^t T^t \overline{Q^t} + \overline{C^t T^t} Q^t \cdot Q^t. \quad (7)$$

Сравнивая уравнения (5) и (7), видим, что СТ-триггер есть СJK-триггер при условии:

$$J^t = K^t = T^t. \quad (8)$$

Это означает, что электрически объединив J и K - выходы триггера, получаем T -вход СТ-триггера: таким образом происходит преобразование СJK-триггера в СТ-триггер.

1.4. Синтез CD-триггера

Правило функционирования CD-триггера следующее:

при $C^t = 0$ - режим хранения информации,

при $C^t = 1$, $Q^{t+1} = D^t$ - в триггер записывается бит, поданный на D - вход.

Таблица функционирования CD-триггера приведена в табл. 3.

Характеристическое уравнение триггера имеет вид:

$$Q^{t+1} = C^t D^t + \overline{C^t D^t} \cdot Q^t. \quad (9)$$

Сравнивая уравнение (9) с уравнением (2) элементарного триггера, получаем, что на входы этого триггера следует подать сигналы:

$$\overline{S_0^t} = \overline{C^t D^t} ; \quad \overline{R_0^t} = \overline{C^t D^t}. \quad (10)$$

Таблица 3

C^t	D^t	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

С учётом уравнений (10) и (3) видно, что CRS-триггер преобразуется в CD-триггер, если принять $S^t = D^t$ (на S -вход CRS-триггера следует подавать D -сигнал), а $R^t = \overline{S_0^t} = \overline{C^t D^t}$. Тогда сигнал $\overline{R_0^t}$ (рис.1) становится равным $\overline{R_0^t} = \overline{C^t C^t D^t} = \overline{C^t D^t}$.

Последнее означает, что R -вход CRS-триггера (рис.1) нужно соединить с выходом первого логического элемента 2И-НЕ, образующего сигнал $\overline{S_0^t} = \overline{C^t D^t}$.

2. ЛАБОРАТОРНОЕ ЗАДАНИЕ

2.1.В соответствии с первым заданием, полученным от преподавателя,

составить таблицу истинности, получить характеристическое уравнение и зарисовать структурно-логическую схему заданного двухступенчатого синхронного триггера.

2.2.Собрать структурно-логическую схему заданного триггера на элементах И-НЕ на установке УМ-11.

2.3.Проверить выполнение таблицы переходов заданного триггера в статическом режиме.

2.4.С помощью осциллографа С1-55 зарисовать диаграммы напряжений триггера, работающего в динамическом режиме, определить величины задержек триггера в первой и во второй ступенях.

2.5.В соответствии со вторым заданием преобразовать исследованный ранее триггер в двухступенчатый синхронный триггер иного типа.

2.6.Проверить выполнение таблицы переходов этим триггером в статическом режиме.

2.7.Зарисовать диаграммы напряжений этого триггера в динамическом режиме, определить величины задержек триггера в обеих ступенях.

3. СОДЕРЖАНИЕ ОТЧЁТА

3.1.Таблица переходов, характеристическое уравнение и структурно-логическая схема триггера согласно первому заданию.

3.2.Мнемосхема проверки выполнения таблицы переходов триггера в статическом режиме.

3.3.Диаграммы напряжений триггера в динамическом режиме, величины задержек триггера в обеих ступенях.

3.4..Условие преобразования триггера первого задания в триггер второго задания, таблица переходов, уравнение и структурно-логическая схема триггера второго задания.

3.5.Мнемосхема проверки выполнения таблицы переходов триггера второго задания в статическом режиме.

3.6.Диаграммы напряжений триггера второго задания в динамическом режиме, величины задержек триггера в обеих ступенях.

3.7.Выводы по проделанной работе.

ЛИТЕРАТУРА

1.Бабаев В.Г., Зыков, В.П., Глушнев В.Г. Схемотехника импульсных и цифровых устройств. - М.: Воздушный транспорт, 1995.

2.Зельдин Е.А. Цифровые интегральные схемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат, 1986.

3.Потёмкин И.С. Функциональные узлы цифровой автоматики. – М.:Энергоатомиздат, 1988.

СОДЕРЖАНИЕ

Лабораторная работа № 1 «Синтез комбинационных устройств по заданной логической функции».....	3
Лабораторная работа № 2 «Синтез шифраторов и дешифраторов кодов»	8
Лабораторная работа № 3 «Синтез преобразователей кодов».....	16
Лабораторная работа № 4 «Синтез коммутаторов кодов в ограниченном базисе логических элементов».....	20
Лабораторная работа № 5 «Синтез триггеров на интегральных логических элементах».....	27