

ФЕДЕРАЛЬНАЯ АВИАЦИОННАЯ СЛУЖБА РОССИИ
МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ГРАЖДАНСКОЙ АВИАЦИИ

Кафедра "Радиотехнические устройства".

А.Л. Горбунов

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к изучению дисциплины
"Микропроцессорные устройства РЭС"
для студентов заочной формы обучения спец. 201300
"Техническая эксплуатация транспортного радиооборудования"

Москва-1997

Данные методические указания к изучению дисциплины "Микропроцессорные устройства РЭС" издаются в соответствии с учебной программой для студентов четвертого курса заочного обучения специальности 201300.

Рассмотрены и одобрены на заседаниях кафедры РТУ 13/2/97 г. и редакционно-издательского Совета ФРЭО и ВТ __/__/97 г.

Научный редактор канд. техн. наук, доц. Ю.П.Сафоненков.

Используемые сокращения :

МП – микропроцессор
РЭС – радиоэлектронная система
КР – курсовая работа
БПФ – быстрое преобразование Фурье
ИМС – интегральная микросхема
КО – канал обмена
АУ – арифметическое устройство
КПР – комплекс поддержки разработки
ЦАС – цифровой анализатор спектра
ЦФ – цифровой фильтр
ЦОС – цифровая обработка сигналов
DSP – (Digital Signal Processor) – процессор ЦОС

1. Цель и задачи дисциплины.

1.1. Цель преподавания дисциплины.

Цель преподавания дисциплины – изучение теории, принципов построения, методов разработки и применения микропроцессорной (МП) техники в РЭС.

1.2. Задачи изучения дисциплины (необходимый комплекс знаний и умений) :

1.2.1. Иметь представление о

назначении, составе, технических характеристиках, областях применения используемых и перспективных отечественных и зарубежных МП-комплектов включая процессоры цифровой обработки сигналов;

1.2.2. Знать

основные алгоритмы обработки данных, применяемые при решении задач в РЭС при помощи МП; основы и особенности эксплуатации изучаемых технических средств; государственные стандарты, нормы ЕСКД применяемые при разработке, производстве и эксплуатации МП-техники;

1.2.3. Уметь

уметь проводить сравнительный технико-экономический анализ средств МП-техники; выбирать вычислительные алгоритмы, адекватные реализуемой задаче; разрабатывать, отлаживать и испытывать аппаратные средства и программное обеспечение МП-систем; оценивать эффективность принимаемых технических решений.

1.2.4. Иметь опыт

практического программирования на уровне системы команд микропроцессора.

2. Содержание дисциплины.

2.1. Программа дисциплины и методические указания к изучению тем.

Раздел 1. Архитектура, основные аспекты программирования МП.

Тема 1. Введение. Общие сведения о микропроцессорной вычислительной технике.

Общие сведения о микропроцессорной вычислительной технике. Назначение и области применения микропроцессорной техники (МПТ). Краткие сведения об истории, эволюции микропроцессоров. Вклад отечественных ученых в развитие МПТ. Применение МП в РЭС ГА. Влияние МПТ в составе РЭС ГА на безопасность полетов.

Классификация МП. Технология изготовления МП. Общее представление о системе команд МП.

Литература: [1] с. 30-33, 52-59.

Центральные вопросы темы: эволюция МП, применение в РЭС ГА, классификация, система команд.

Вопросы

1. Основные этапы эволюции МП.
2. Каковы основные области применения МП в РЭС ГА?
3. Как классифицируются МП?
4. Каковы основные технологии изготовления МП и их соотношение с быстродействием и потребляемой мощностью?

Тема 2. Архитектура МП.

Основные узлы МП : арифметико-логическое устройство, устройство управления, управляющая память, рабочие регистры, устройство ввода-вывода, устройство синхронизации. Пример выполнения микроинструкции в однокристалльном. Эволюция однокристалльных МП. Архитектура секционных МП. Организация процессоров на основе секционных БИС.

Литература: [1] с. 34-52, [5] с. 14-19, 20-23.

Центральные вопросы темы: основные узлы МП, архитектура од-

нокристалльных и секционных МП.

Вопросы

1. Основные узлы МП и их функции.
2. Каковы особенности архитектуры однокристалльных МП?
3. Каковы особенности архитектуры секционных МП?
4. Каковы критерии выбора того или иного типа МП?

Тема 3. Элементы программирования МП

Типы команд. Режимы адресации. Форматы команд. Элементарное программирование: передача информации; арифметика одинарной и многократной точности; логические операции; распределение памяти; десятичная арифметика; переходы. Создание и выполнение программы: ассемблирование; редактирование связей; загрузка.

Организация циклов, пример – передача большого блока. Временное запоминание. Подпрограммы. Общие области. Макрокоманды.

Эффективность программы: пространство памяти, число команд, время выполнения. Документирование программных средств.

Литература: [1] с. 99-106, 111-122.

Центральные вопросы темы: элементарное программирование, организация циклов, подпрограммы, создание, выполнение, документирование, критерии эффективности программ.

Вопросы

1. Каковы основные режимы адресации?
2. Что такое формат команды МП, типы форматов?
3. Как происходит создание программы для МП?
4. Из каких блоков состоит программный цикл?
5. Каковы критерии эффективности программы?
6. Состав комплекта документации для программ?

Тема 5. Программирование ввода/вывода информации в/из МП.

Программный ввод/вывод. Ввод/вывод по прерываниям: вектор прерывания, приоритет прерывания. Полилинг. Двойные и тройные буферы. Прямой доступ к памяти.

Литература: [1] с. 98, 107-110.

Центральные вопросы темы: программный ВВ, ВВ по прерываниям, прямой доступ к памяти.

Вопросы

1. Как осуществляется программный ВВ?
2. Какими способами реализуется приоритетная обработка прерываний?
3. Что такое полинг?
4. В чем преимущества прямого доступа к памяти, как он осуществляется?
5. Что такое вектор прерывания?

Тема 6. Основы программирования секционных МП.

Работа микропрограммного устройства управления и формат микрокоманд. Логика микроуправления. Использование совмещенных операций. Комплексное микропрограммирование.

Литература: [1] с. 307-316, [5] 563-567.

Центральные вопросы темы: принцип работы микропрограммного устройства управления, логика микроуправления, особенности форматов микрокоманд, разработка микропрограмм.

Вопросы

1. Что такое блок микропрограммного управления?
2. Из каких полей состоит формат микрокоманд секционного МП?
3. От каких факторов зависит адрес микрокоманды для секционных МП?
4. Что такое логика микроуправления?

Тема 7. Организация однокристалльных МП (на примере i8080).

МП i8080: краткие технические характеристики, назначение. Структура МП: основные узлы и связи. Система команд. Формат команд. Слово состояния программы, его состав. Типы команд. Слово состояния процессора, его состав. Основные временные параметры МП, типы машинных циклов. Построение устройства обработки информации на базе МП.

Литература: [1], с. 74-98, 142-175, [5] 65-77.

Центральные вопросы темы: характеристики, архитектура, система команд i8080, шина "Microbus", организация микроЭВМ на базе 8р. МП.

Вопросы

1. Каковы основные типы команд i8080?
2. Что понимается под словом состояния программы?
3. Что понимается под словом состояния процессора?

4. Каковы основные достоинства и недостатки шины "Microbus"?

5. Как распределяются по машинным тактам действия, выполняемые процессором при отработке команд ввода-вывода?

Раздел 2. Перспективные МП-комплекты и системные шины. Межприборные интерфейсы МП-техники. БИС аппаратной поддержки МП-систем.

Тема 8. МП семейства Pentium.

Номенклатура, особенности архитектуры, назначение основных узлов, способы повышения производительности.

Литература: текущие выпуски журналов "Byte", "КомпьютерПресс", "Мир ПК".

Вопросы

1. Каковы основные особенности архитектуры процессоров Pentium?
2. Каким образом буфер предсказаний ветвлений способствует повышению производительности процессора Pentium?
3. Сколько параллельных трактов обработки данных содержит Pentium?
4. Каковы основные особенности архитектуры процессоров PentiumPro?

Тема 9. МП семейства PowerPC.

Номенклатура, особенности архитектуры, назначение основных узлов, способы повышения производительности.

Литература: текущие выпуски журналов "Byte", "КомпьютерПресс", "Мир ПК".

Вопросы

1. Каковы основные особенности архитектуры процессоров PowerPC?
2. Что означает понятие RISC-процессор?
3. Сколько параллельных трактов обработки данных содержит PowerPC604?
4. Можно ли построить мультипроцессорную систему на базе PowerPC603?

Тема 10. Системные шины

Шины семейства PC-bus. Шина PCI. Шина Q-bus.

Литература: [6], текущая компьютерная периодика.

Центральные вопросы темы: структура, основные характеристики, области применения, перспективу развития шин.

Вопросы

1. Каковы основные группы линий, входящих в состав шин семейства PC-bus?
2. Преимущества и недостатки временного мультиплексирования передачи адреса и данных?
3. Характеристики шины PCI?

Тема 11. Межприборные интерфейсы МП-техники.

Интерфейс Centronics: область применения, технические характеристики, описание линий интерфейса, диаграммы обмена, электрические параметры. Интерфейс RS-232: область применения, краткие технические характеристики, протоколы передачи данных, условия подключения. Интерфейс M-1553: понятие о коде "Манчестер-II", его преимущества перед другими кодами для последовательной связи. Область применения, технические характеристики, форматы обмена, типы слов, форматы слов. БИС реализации M-1553.

Литература: [5] с. 493-499, 501-506.

Центральные вопросы темы: характеристики, описание, применение интерфейсов Centronics, RS-232, M-1553; код "Манчестер-II"; БИС интерфейсной поддержки.

Вопросы

1. Какова область применения интерфейса "Centronics"?
2. В чем смысл асинхронности RS-232?
3. В чем состоят преимущества кода "Манчестер-II"?
4. Каковы основные характеристики интерфейса M-1553?

Тема 12. БИС аппаратной поддержки МП-систем.

Запоминающие устройства: номенклатура, статические и динамические ОЗУ, ПЗУ масочного типа, электрически программируемые ПЗУ. Контроллеры прямого доступа к памяти. Таймеры. Многоцелевые буферные регистры. Контроллеры прерываний. Контроллеры ЗУ. Магистральные приемопередатчики.

Литература: [1] с. 60-73, [5] с. 82-88, 109-113.

Центральные вопросы темы: типы ЗУ, их общие характеристики; типы других БИС аппаратной поддержки МП-систем, их функции.

Вопросы

1. Каковы области применения различных типов ЗУ?
2. Что такое время считывания, записи, выборки адреса?
3. В чем состоят функции контроллеров прямого доступа ?
4. Каковы функции контроллеров прерываний?

Раздел 3. Методы и алгоритмы ЦОС. Процессоры ЦОС.

Тема 13. Методы и алгоритмы ЦОС.

Цифровое представление сигналов. Линейные системы. Импульсная характеристика. Цифровая свертка: циклическая, линейная. Дискретное преобразование Фурье. Быстрое преобразование Фурье (БПФ): прореживание по времени и по частоте. Цифровые фильтры. Алгоритм Волдера.

Литература: [1] 331–347.

Центральные вопросы темы: характеристики цифровых систем, цифровая свертка, ДПФ, БПФ, ЦФ.

Вопросы

1. Что такое импульсная характеристика системы?
2. Какое количество умножений действительных чисел необходимо выполнить для реализации прямого ДПФ?
3. За счет каких факторов удастся снизить объем вычислений при реализации БПФ ?

Тема 14. МП ЦОС.

Классификация МП для ЦОС. Процессор цифровой обработки аналоговых сигналов 1813: краткие технические характеристики, система команд управления вводом-выводом. МП-комплект ЦОС 1815: краткие технические характеристики, состав. Микропрограммируемый процессор ЦОС 1815ВФ3: структура, описание выводов, система команд, знакоразрядный код, временные диаграммы приема и выдачи информации. Применение.

Литература: [5] с. 400–422.

Центральные вопросы темы: типы МП для ЦОС; характеристики, система команд, организация МП 1813, 1815ВФ3.

Вопросы

1. Каковы основные типы МП для ЦОС?
2. Каковы основные характеристики МП 1813?
3. Какова область применения МП-комплекта 1815?
4. Каковы основные характеристики МП 1815ВФ3?
5. Каков смысл использования знакоразрядного кода при обработке данных в процессоре 1815ВФ3?

Тема 15. МП ЦОС – продолжение.

DSP серии TMS. Номенклатура, архитектура, технические данные, функциональные возможности, применение. Иные популярные DSP.

Литература: First Generation TMS320 User's Guide. Houston, Texas Instruments, Inc.; справочные материалы Texas Instruments.

Центральные вопросы темы: сфера приложения, специфика архитектуры, перспективы развития DSP.

Вопросы

1. Поколения DSP.
2. Смысл использования гарвардской архитектуры в DSP?
3. Основные функции, реализуемые DSP?

Тема 16. Способы повышения скорости обработки информации в МП-системах.

Способы повышения производительности однопроцессорных систем. Мульти МП-системы: архитектуры SISD, MISD, MIMD. Способы организации внутренних связей, перекрестная коммутация, многомашинные связи, общая шина – распределение памяти, управление интерфейсом. Транспьютеры.

Литература: [5] с. 597–605.

Центральные вопросы темы: повышение производительности однопроцессорных систем, классификация мульти МП-систем, транспьютеры, подготовка данных для обработки на параллельных и конвейерных структурах.

Вопросы

1. Какими способами можно повысить производительность однопроцессорной МП-системы?

2. Каковы принципы классификации многопроцессорных МП-систем?
3. Чем отличаются волновая и систолическая матричные МП-структуры?

Тема 17. Методы организации данных в параллельных вычислителях.

Организация одновременных вычислений при перемножении полиномов вида сумм парных произведений.

Литература: [3] 128-131.

Центральные вопросы темы: универсальное представление арифметических выражений в виде рекуррентного многочлена, его использование для вычисления сумм парных произведений, достигаемая вычислительная экономия.

Вопросы

1. Как преобразовать арифметическое выражения для реализации на параллельно-конвейерной вычислительной структуре?
2. Что значит конвейеризация вычислений?
3. Как достигается вычислительная экономия при использовании рекуррентного многочлена для вычисления сумм парных произведений?

Раздел 4. Реализация на МП-устройствах типовых задач ЦОС.

Тема 18. Типовые задачи ЦОС в радиотехнике.

Вычисление энергетического спектра, корреляционной функции, свертки, ЦФ. Задача первичной обработки РЛС-сигналов: алгоритм программной реализации.

Литература: [1] с. 340-365.

Центральные вопросы темы: типовые задачи ЦОС в радиотехнике, практические приложения.

Вопросы

1. Каковы основные преимущества применения цифровых методов обработки сигналов?
2. Какие задачи решаются с помощью МП средств в бортовом цифровом навигационном комплексе?
3. Как методами ЦОС осуществляется сдвиг частотного спектра сигнала?

4. Что такое биквадратный ЦФ и как он реализуется?

Тема 19. Варианты МП-реализации цифрового анализатора спектра (ЦАС).

ЦАС на базе умножителей 1802. ЦАС на базе спецпроцессора 1815ВФ3. ЦАС с вычислением БПФ по методу Меджитта-Волдера.

Литература: [4] с. 30-34.

Центральные вопросы темы: цифровой спектральный анализ как база ЦОС, методы, аппаратные и программные средства.

1. Каковы способы вычисления цифровой свертки?
2. Каковы способы вычисления энергетического спектра?
4. В чем преимущества алгоритма Волдера при аппаратной реализации ЦАС?

Раздел 5. Вопросы проектирования МП-систем.

Тема 20. Проектирование МП-систем.

Основные этапы разработки МП-систем: алгоритмизация реализуемого процесса, выбор МП-комплекта, разработка программного и аппаратного обеспечения. Примеры вариантов алгоритмов для решения задачи создания ЦФ. Основные этапы разработки аппаратного и программного обеспечения. Кросс-ассемблеры. Моделирующие программы. CASE-технологии. Системы САПР. Отладка аппаратного и программного обеспечения. Логические и сигнатурные анализаторы.

Литература: [1] с. 316-329, [5] с. 615-633.

Центральные вопросы темы: этапы проектирования МП-систем, КНР, программные и аппаратные средства поддержки разработки.

Вопросы

1. Каковы основные этапы проектирования МП-систем?
2. Каков состав типового КНР МП-систем?
3. В чем смысл процедуры эмуляции?
4. Что такое сигнатура?

Тема 21. Контроль, диагностирование, эффективность, надежность МП-систем.

Методы контроля аппаратных и программных средств МП-систем в процессе эксплуатации. Диагностирование. Оценки эффективности МП-систем, расчет надежностных характеристик.

Литература: [1] с. 330-331, [5] с. 49-57.

Центральные вопросы темы: методы и средства контроля, диагностирования МП- систем, подходы к оценке эффективности, надежность.

Вопросы

1. Каковы основные методы контроля аппаратных и программных средств МП-систем?
2. Какие аппаратные средства применяются для целей диагностирования?
3. Каковы принципы оценки эффективности МП-систем?
4. Каковы принципы оценки надежности МП-систем?

3. Рекомендуемая литература:

Основная литература

1. Калабеков Б.А. Микропроцессоры и их применение в системах передачи и обработки сигналов. М.: Радио и связь, 1988.-368 с.
2. Микропроцессоры в радиотехнических системах./Под ред. Ю.М.Казаринова. М.: Радио и связь, 1982.-280 с.
3. Самофалов К.Г. Основы теории многоуровневых конвейерных вычислительных систем. М.: Радио и связь, 1989.-286 с.
4. Плотников В.Н. и др. Цифровые анализаторы спектра. М.: Радио и связь, 1990.-184 с.
5. Хвощ С.Т. и др. Микропроцессоры и микроЭВМ в системах автоматического управления. Л.: Машиностроение, 1987.
6. Мячев А.А. и др. Интерфейсы систем обработки данных. М.: Радио и связь, 1989.-272 с.

Учебно-методическая литература

Для лабораторных работ

7. Сафоненков Ю.П., Горбунов А.Л. Методические указания к выполнению лабораторных работ по курсу "Микропроцессорные устройства РЭС". М.:РИО МИИГА, 1990.

Для курсовой работы

8. Горбунов А.Л. Методические указания к выполнению курсовой работы по дисциплине "Микропроцессорные устройства РЭС". М.:РИО МИИГА, 1992.

Для практических занятий

9. Горбунов А.Л. Методические указания к изучению дисциплины "Микропроцессорные устройства РЭС". М.:РИО МИИГА, 1992.

10. Криницын В.В. Цифровая обработка сигналов в радиотехнических устройствах. М.:РИО МИИГА, 1989.

Дополнительная литература

11. Белоус В.Ф. и др. Микропроцессорный комплект для ЦОС 1815. М.:Радио и связь, 1992.

12. Фрир Дж. Построение вычислительных систем на базе перспективных микропроцессоров. М.:Мир, 1991. - 423 с.

13. Ушкар М.Н. Микропроцессорные устройства в РЭА. М.:Радио и связь, 1988. - 157 с.

4. Контрольная работа

4.1. Цель контрольной работы - проверка знания студентами основных принципов построения микропроцессоров через подготовку программы на языке ассемблера.

4.2. Задание на контрольную работу и содержание отчета:

подготовить программу на языке ассемблера процессора i8080 (аналог - 580ИК80), выполняющую задачу, которая выбирается из нижеследующего списка вариантов в соответствии с порядковым номером студента в алфавитном списке группы. Отчет должен содержать

- а) задание на контрольную работу
- б) схему и описание структуры микропроцессора i8080
- в) подробное описание используемых команд ассемблера
- г) блок-схему алгоритма
- д) текст программы в виде таблицы со следующими столбцами

N команды|16-ричный код команды|Ассемб. код команды|Комментарий

Например

01 2E 05 MVI L,5

Столбец "Комментарий" должен содержать пояснения по действию каждой команды, а также длину команды в байтах и в машинных тактах. Информацию по системе команд, машинным и ассемблерным кодам можно найти в [1], а также в любом из многочисленных изданий по процессорам i8080 или 580.

Варианты заданий.

Все фигурирующие в заданиях операнды – произвольные числа от 1 до 9. Все числа – шестнадцатиричные.

- 1) Составить программу умножения содержимого регистра D на 2 в степени, равной содержимому регистра E. Операнды в регистры D и E вводятся командами непосредственной загрузки.
- 2) Загрузить первый операнд в ячейку памяти с адресом 0050, второй – в ячейку памяти с адресом 0051, третий – в регистр D. Сложить первый операнд со вторым, вычесть из суммы третий, прибавить к результату 1, удвоить и поместить его в ячейку памяти с адресом 0053.
- 3) Составить программу подсчета количества неположительных чисел в ячейках от 0050 до 0059. Если результат >2, записать его в регистр C, в ином случае – в регистр E.
- 4) Составить программу, которая: обнуляет биты 0 и 1 регистра C, если в них записаны единицы; записывает в них единицы, если они оба обнулены; не изменяет их состояния во всех иных случаях.
- 5) Составить программу, которая: проверяет биты 2 и 4 ячейки 0040 и переходит к выполнению команды из ячейки 0060, если в них записаны единицы; переходит к выполнению команды из ячейки 0061, если 1 записана только в бит 2; продолжается во всех иных случаях.
- 6) Загрузить первый операнд в ячейку с адресом 0050, второй – в ячейку с адресом 0051, сложить их, прибавить к сумме 1 и загрузить результат в ячейку 0052. Перейти к выполнению команды из ячейки 0060 в случае переполнения при сложении.

7) Составить программу моделирования с помощью команд ассемблера следующего оператора языка условного высокого уровня

```
IF [D] > 2 GO TO 0060
```

Запись [D] означает "содержимое регистра D".

8) Составить программу моделирования с помощью команд ассемблера следующего оператора языка условного высокого уровня

```
IF [D] < 4 [E]=[H]+1
```

9) Составить программу деления содержимого регистра С на содержимое регистра Е. Операнды считать целыми числами, деление выполнять простым вычитанием до появления отрицательного остатка. Частное и остаток сформировать в регистрах В и D соответственно.

10) Пусть в ячейках с адресами 0050, 0051 и 0052 находятся три целых положительных числа. Составит программу расположения их в этих ячейках в возрастающем порядке.

11) Составить программу, которая: Подсчитывает количество непустых ячеек в массиве 0050-0060, записывает число FF в регистр С если непустых ячеек больше 2, записывает число EE в регистр Е в ином случае.

12) Составить программу, которая: выбирает большее из двух чисел, хранящихся в ячейках памяти с адресами 0050 и 0051, записывает результат в ячейку 0052 если он меньше 2, в ином случае - в ячейку 0053.

13) Составить программу, которая: находит меньшее среди чисел, хранящихся в ячейках 0050-0052; находит большее среди чисел, хранящихся в ячейках 0060-0062; складывает найденные минимум и максимум; помещает результат в регистр С.

14) Составить программу, которая: останавливает работу процессора если в битах 3 и 4 регистра Е записаны единицы; выполняет сложение содержимого регистров Н и L, если они оба обнулены.

15) Составить программу, которая управляет работой разменного автомата: пусть в регистре В записано количество поступивших в автомат 10-копеечных монет, в регистре С - количество поступивших в автомат 15-копеечных монет. Записать в регистр D количество 5-копеечных монет для выдачи на размен. (Предполагается, что при вычислениях переполнение не возникает)

16) Составить программу складывающую два числа, которые имеют длину 2 байта. Первое число хранится в ячейках памяти с адресами 0050 и 0051, второе – 0060 и 0061. Результат записать в ячейках 0070, 0071 и 0072. Сложение производить с учетом переполнения.

5. Курсовая работа (КР)

5.1 Целью КР является разработка математического сопроцессора для микро-ЭВМ, выполняющего ускоренное вычисление ВПФ на базе МП 1815ВФ3.

5.2. Содержание и оформление КР

КР должен включать в себя титульный лист, задание на разработку, пояснительную записку (15-20 листов), структурную схему, схему электрическую принципиальную, перечень элементов, программу управления обменом, список использованной литературы, оглавление.

Пояснительная записка должна быть выполнена на листах формата А4 с рамкой и основной надписью (ГОСТ 2.104-68), содержащей аббревиатуру КР МУРЭС и номер зачетной книжки исполнителя. Схемы и перечень элементов должны соответствовать ГОСТ 2.702-75. (Можно воспользоваться справочником [6]).

5.3. Задание на КР.

Студент выбирает вариант задания из таблицы в соответствии со своим номером в списке группы (столбец 1).

№ п/п	КО ЭВМ	Алг	АУ	Преоб.
1	2	3	4	5
1			К	дв-зн
2		В		зн-дв
3			М	дв-зн
4	Q-BUS			зн-дв
5			К	дв-зн
6		Ч		зн-дв
7			М	дв-зн
8				зн-дв
9			К	дв-зн
10		В		зн-дв
11			М	дв-зн
12	PC-BUS			зн-дв

13				К		ДВ-ЗН
14				Ч		ЗН-ДВ
15				М		ДВ-ЗН
16						ЗН-ДВ

В столбце 2 содержатся сведения о типе внутреннего КО микро-ЭВМ, с которым сопрягается проектируемый сопроцессор.

В столбце 3 указан тип используемого алгоритма БПФ: В - с прореживанием исходной выборки по времени, Ч - с прореживанием по частоте.

В столбце 4 указан способ обработки данных в АУ : К - конвейерное АУ из нескольких процессоров 1815ВФ3, М - однопроцессорное АУ с микропрограммным управлением.

В столбце 5 указан вид преобразователя кодов (двоичный в знакоразрядный или знакоразрядный в двоичный), который необходимо реализовать аппаратно (подразумевается, что другое преобразование осуществляется в микроЭВМ программно).

4.5. Рекомендации по выполнению КР.

Разрабатываемый сопроцессор должен обеспечивать ускоренное выполнение базовой операции "бабочка" над комплексными переменными.

Функции сопроцессора:

- прием исходных данных,
- обработка данных в соответствии с указанным алгоритмом,
- выдача результатов в микро-ЭВМ.

Пояснительная записка включает в себя 2 раздела:

- 1 - теоретическое обоснование,
- 2 - устройство и работа сопроцессора.

В разделе 1 подробно описывается соответствующий варианту задание алгоритм БПФ [2,3] (здесь и далее - нумерация источников по списку литературы для КР). Составляется детальная, вплоть до операндов, последовательность вычислений одной операции "бабочка" над комплексными числами. Приводятся технические характеристики процессора 1815ВФ3 [1,2,4]. Выбирается рабочая частота сопроцессора. Формируется структурная схема устройства, которая в любом случае должна содержать блок магистральных приемопередатчиков, блок управления и синхронизации, блок буферных регистров, преобразователь кода, АУ. Разрабатывается структурная схема конвейерного АУ или микропрограмма для

однопроцессорного АУ в соответствии с вариантом [2,4]. Рассчитывается объем буферных регистров. Выбирается конкретная элементная база [2,7]. строится временная диаграмма функционирования сопроцессора для тактирующих и управляющих сигналов. Оценивается время выполнения БПФ с учетом времени пересылки данных между сопроцессором и микро-ЭВМ для 128 элементов входной последовательности, вычисляется потребляемая мощность.

В разделе 2 приводится общее описание схемы электрической принципиальной, подробно описывается взаимодействие блоков и узлов проектируемого устройства при функционировании, приводится программа обмена микроЭВМ с сопроцессором на ассемблере МП (для вариантов с КО Q-BUS ассемблер МП 1801, рекомендуемые для использования адреса FFC0H-FFFFH; для вариантов с КО MULTIBUS ассемблер МП 1810, рекомендуемые для использования адреса 300H-310H [1,2]). Программа должна сопровождаться подробными комментариями.

5.5. Литература для КР

1. Басманов А.С., Широков Ю.Ф. Микропроцессоры и однокристалльные ЭВМ: номенклатура и функциональные возможности. -М: Энергоатомиздат, 1988.

2. Хвощ С.Т. и др. Микропроцессоры и микроЭВМ в системах автоматического управления: Справочник. -Л: Машиностроение, 1987.

3. Криницын В.В., Логвин А.И., Соломенцев В.В. Цифровая обработка сигналов в радиотехнических устройствах. Аппаратная реализация цифровых устройств. -М: РИО МИИГА, 1988.

4. Белоус В.Ф. и др. Микропроцессорный комплект для ЦОС 1815. М: Радио и связь, 1992.

5. Мячев А.А. и др. Интерфейсы систем обработки данных: Справочник. -М: Радио и связь, 1989.

6. Романычева Э.Т. и др. Разработка и оформление конструкторской документации РЭА: Справочник. -М: Радио и связь, 1989.

7. Якубовский С.В. и др. Цифровые и аналоговые ИМС: Справочник. - М: Радио и связь, 1989.

Приложение 1
 Программируемый процессор цифровой обработки сигналов
 1815ВФ3.

Микросхема предназначена для построения процессоров быстрого преобразования Фурье и различных цифровых фильтров многопроцессорных систем высокой производительности. Она осуществляет обработку последовательных знакоразрядных двоичных кодов цифра за цифрой, начиная со старших разрядов с фиксированной запятой. На частоте 10 МГц БИС обеспечивает обработку базовой операции "бабочка" под 24-разрядными операндами за 2,5 мкс. Разрядность данных для сумматоров – произвольная, для умножителя – не менее 10 бит; точность выполнения операций в сумматорах – абсолютная, в умножителе – не менее 24 бит; производительность – до 1,2 млн арифметических операций в секунду. При организации процессоров БПФ и различных фильтров, как правило, используется несколько микропроцессоров, входы и выходы которых коммутируются согласно алгоритму преобразования данных. БИС выполнена по ИИЛ-технологии, уровни логических сигналов согласуются с ТТЛ-схемами.

В состав БИС входят: 2-входные сумматоры с регистрами данных на входах (SM1, SM2); устройство выполнения логических операций (LU); схема программируемой задержки информации (D); множительное устройство (MUL); дешифратор микрокоманд (DC); регистр микрокоманд (MIR), задающий операцию микропроцессора.

Описание выводов БИС приведено в табл. 1. Для приема и выдачи информации используются парафазные линии.

Таблица 1. Описание выводов БИС K1815ВФ3

обозначение вывода	номер кон- такта	назначение вывода
A(1,0)	7; 6	Парафазная входная шина операнда А
B(1,0)	5; 4	То же В
C(1,0)	11; 10	–"– С
D(1,0)	8; 9	–"– D
G(1,0)	3; 2	–"– G
A*(1,0)	23; 22	Парафазная выходная шина результата А*
B*(1,0)	15; 14	Парафазная выходная шина результата В*
CLK	13	Вход синхронизации приема данных и исполнение микрокоманд
STB	1	Вход строба записи микрокоманд в MIR
MI(5-0)	20; 21;	6-разрядная параллельная шина микрокоманд

18; 17;
 16; 19;
 Ugc 24 Напряжение питания (+1,2+0,2 В)

 Примечание: Кодировка данных на всех информационных входах и выходах БИС производится в инверсном коде: единица-низкий потенциал, нуль-высокий.

Информация в знакоразрядной системе записывается с использованием отрицательных и положительных двоичных цифр +1=1, -1=1. Например, число 0,101 может быть представлено как: 0,101=0,111. Перевод чисел из обычной двоичной системы счисления в знакоразрядную осуществляется по правилу:

при $X \geq 0$ $X_{zr} = X$ (например, 0,101=0,0101);
 при $X < 0$ $X_{zr} = \bar{X}$, где $\bar{X} = X$ с переносом знака на все единицы (например - 0,0101=0,0101).

При передаче информации по парафазным шинам положительная часть числа (X_{zr}) передается по положительным шинам (A1, B1..., G1), отрицательная (X_{zr}) - по отрицательным (A0, B0, ..., G0). Запятая, используемая в качестве маркера для запуска множительного устройства, передается по обеим шинам сразу (X_{zr}, X_{zr}).

Обратный перевод осуществляется сложением положительной и отрицательной частей знакоразрядного числа. Например, для числа $X=0,01111$ - $X_{zr}=0,00101$ $X_{zr}=0,01010$. В обычной записи $X = X_{zr} + X_{zr} = 0,00101 + (-0,01010) = -0,00101$.

Ниже приведен пример, иллюстрирующий код знакоразрядного числа с запятой (маркером), передаваемый по парафазным шинам:

Такты.....	1	2	3	4	5	6	7	8
Число X.....	1	1	1	0	1	1	1	
Шина X1.....	1	1	0	0	1	0	1	0
Шина X0.....	1	0	0	1	0	0	0	1

Сумматор SM1 выполняет операцию A+B или пропускает на вход LU операнда A и B. Узел LU позволяет получить из суммы либо модуль (A + B), либо выделить максимальное из чисел (max {A,B}). Управляемый блок задержки (или устройство масштабирования) пропускает результат операции на выход транзитом или с задержкой в 6 или 12 тактов. Сам сумматор вносит задержку в 6 тактов, таким образом, результат операции появляется на входе A* с задержкой в 6, 12 или 18 тактов.

Сумматор SM2 выполняет операцию C+D, результат которой умножается на операнд G в блоке MUL. Информация на входе B* всегда задерживается относительно входа на 12 тактов. Для устранения возможных переполнений результат может быть сдвинут

в сторону младших разрядов на 1, 2 или # бит. Операция масштабирования выполняется под управлением микрокоманды в SM1 и SM2.

Микропроцессор выполнен по ИИЛ-технологии. Входной ток I 1мА, нагрузочная способность выхода I_o 15мА при U_o 0,4 В. При использовании коллекторных резисторов (R_k), находящихся снаружи БИС, возможно сопряжение микропроцессора со стандартными ТТЛ-ИЛ и КМОП-схемами.

Система микрокоманд микропроцессора приведена в табл.2. Управление работой БИС осуществляется 6-разрядным кодом, заносимым в M1R отрицательным фронтом сигнала STB. При записи микрокоманд использованы следующие обозначения: 6tc, 12tc – задержка выдачи результата на 6, 12 и 18 периодов тактовой частоты CLK; /2, /4 и /8 – деление при масштабировании, выполняемое везде умножением результата на 2 путем сдвига запятой на 1, 2 и 3 бита в сторону старших разрядов; RESET – операция сброса, блокирующая выходы микропроцессора за 18 ts и приводящая его в начальное состояние путем сброса в нуль распределителя множителя.

Исполнение операций микропроцессором может быть проиллюстрировано на микрокомандах (A+B), (C+D)G при различных задержках (6, 12 и 18 тактов, а также с использованием и без использования масштабирования. Для чисел A=0,11; B=0,11; C=0, 1; D=0,1; G=0,1 при наличии масштабирования имеем:

A*=0,1 с задержкой в 6, 12 или 18 tc
 B*=0,1 с задержкой в 12 tc
 при отсутствии масштабирования имеем:
 A*=0,01 с задержкой в 6-1 = :tc;
 A*=0,001 с задержкой в 2(6-1) = 10 tc;
 A*=0,0001 с задержкой в 3(6-1) =15 tc;
 B*=0,001 с задержкой в 2(6-1) = 10 tc.
 A*=0,0001 с задержкой в 3(6-1) =15 tc;

Таблица 2. Система команд БИС K1815ВФ3

M1 (5-0)	результат на выходах	
	A*	B*
000000	6tc (A+B)	12tc (C+D)G
000001	6tc (A+B)	12tc (C-B)G
000010	6tc (A-B)	12tc (C+D)G
000011	6tc (A-B)	12tc (C-D)G
000100	6tc A+B	12tc (C+D)G
000101	6tc A+B	12tc (C-D)G
000110	6tc A-B	12tc (C+D)G
000111	6tc A-B	12tc (C-D)G

001000	12tc (A+B)	12tc (C+D) G
001001	12tc (A+B)	12tc (C-D) G
001010	12tc (A-B)	12tc (C+D) G
001011	12tc (A-B)	12tc (C-D) G
001100	12tc A+B	12tc (C+D) G
001101	12tc A+B	12tc (C-D) G
001110	12tc A-B	12tc (C+D) G
001111	12tc A-B	12tc (C-D) G
010000	18tc (A+B)	12tc (C+D) G
010001	18tc (A+B)	12tc (C-D) G
010010	18tc (A-B)	12tc (C+D) G
010011	18tc (A-B)	12tc (C-D) G
100000	6tc (A+B) /2	12tc (C+D) G/4
100001	6tc (A+B) /2	12tc (C-D) G/4
100010	6tc (A-B) /2	12tc (C+D) G/4
100011	6tc (A-B) /2	12tc (C-D) G/4
100100	6tc A+B /2	12tc (C+D) G/4
100101	6tc A+B /2	12tc (C-D) G/4
100110	6tc A-B /2	12tc (C+D) G/4
100111	6tc A-B /2	12tc (C-D) G/4
101000	12tc (A+B) /4	12tc (C+D) G/4
101001	12tc (A+B) /4	12tc (C-D) G/4
101010	12tc (A-B) /4	12tc (C+D) G/4
101011	12tc (A-B) /4	12tc (C-D) G/4
101100	12tc A+B /4	12tc (C+D) G/4
101101	12tc A+B /4	12tc (C-D) G/4
101110	12tc A-B /4	12tc (C+D) G/4
101111	12tc A-B /4	12tc (C-D) G/4
110000	18tc (A+B) /8	12tc (C+D) G/4
110001	18tc (A+B) /8	12tc (C-D) G/4
110010	18tc (A-B) /8	12tc (C+D) G/4
110011	18tc (A-B) /8	12tc (C-D) G/4
010100	18tc A+B	12tc (C+D) G
010101	18tc A+B	12tc (C-D) G
010110	18tc A-B	12tc (C+D) G
010111	18tc A-B	12tc (C-D) G
011000	6tc (max{A, B})	12tc (C+D) G
011001	6tc (max{A, B})	12tc (C-D) G
011010	12tc (max{A, B})	12tc (C+D) G
011011	12tc (max{A, B})	12tc (C-D) G
011100	18tc (max{A, B})	12tc (C+D) G
011101	18tc (max{A, B})	12tc (C+D) G
011110	18tc (max{A, B})	12tc (C-D) G
011111	RESET	RESET
110100	18tc A+B /8	12tc (C+D) G/4
110101	18tc A+B /8	12tc (C-D) G/4
110110	18tc A-B /8	12tc (C+D) G/4
110111	18tc A-B /8	12tc (C-D) G/4
111000	6tc (max{A, B}) /2	12tc (C+D) G/4
111001	6tc (max{A, B}) /2	12tc (C-D) G/4
111010	12tx (max{A, B}) /4	12tc (C+D) G/4
111011	12tc (max{A, B}) /4	12tc (C-D) G/4

111100	$18tc(\max\{A,B\})/8$	$12tc(C+D)G/4$
111101	$18tc(\max\{A,B\})/8$	$12tc(C+D)G/4$
111110	$6tc(\max\{A,B\})/2$	$12tc(C+D)G/4$
111111	RESET	RESET

Основные электрические параметры БИС K1815ВФ3:

Напряжение питания инжектора $U_{gc}, В \dots \dots \dots +1,2+0,2$
Номинальный ток питания $I_{gc}, мА \dots \dots \dots 300$
Напряжение источника питания $U_{cc}, В \dots \dots \dots 3-5$

Расчет резистора в цепи питания БИС производится по формуле: $R_g = (U_{cc} - U_{gc})/I_{gc}$ (например, для $U_{cc} = 5 В$ R_g составляет около 12,70 м.). Расчет резисторов в цепи коллекторов производится исходя из схем подключения выводов. Номиналы коллекторных резисторов обычно выбираются от 300 до 1000 Ом.

Приложение 2

Быстрое преобразование Фурье.

В цифровой обработке сигналов обобщенное дискретное преобразование Фурье имеет важное значение не только в связи с вычислением цифровых сверток, но и в ряде других приложений, причем наиболее полно его аппарат разработан для метода дискретного преобразования Фурье (ДПФ). Последний представляет собой специальную версию общего Фурье - преобразования, позволяющего представить сигналы в виде суперпозиции гармонических функций и подробно рассмотренного во многих литературных источниках, например . ДПФ, описываемое парой соотношений (прямым и обратным):

$$G(f) \tag{1}$$

$$\tag{2}$$

где $G(f)$ выполняет блочный анализ временного сигнала.

Блок состоит из отсчетов входного процесса, что соответствует длине реализации период и частота дискретизации. При этом в ДПФ подразумевается, что анализируемый блок является одним из периодов бесконечной периодической функции. Соответственно, получаемый частотный спектр (т.е. зависимость амплитуд и фаз гармонических составляющих сигнала от частоты) будет линейчатым, т.е. состоящим из отдельно расположенных вдоль частотной оси с интервалом линий, определяющих различные гармонические компоненты временного сигнала.

Если временная функция содержит только действительные значения, что является случаем, часто встречающимся на практике, то спектр сигнала является сопряженной линейчатой функцией, т.е. компоненты положительной и отрицательной областей частот имеют одинаковые амплитуды, но противоположные фазы. Иначе говоря, только $N/2$ отсчетов в частотной области являются независимыми, а именно те, что расположены на отрезке $(0, f)$.

В общем случае при вычислении ДПФ от комплексной входной последовательности необходимо производить вычисление всех N спектральных компонент, так как в данном случае спектр не обладает свойством комплексно-сопряженной симметрии.

Еще одна особенность ДПФ связана с представлением анализируемого сигнала как одного из интервалов бесконечной периодической функции. Если начальное и конечное значения сигнала на периоде различны, то в моменты времени $0, T, 2T, \dots$ происходит так называемый скачок функции, который может привести к существенному искажению спектра. Для устранения негативного влияния на спектр данной разрывности и получения лучшей избирательности необходимо использовать сглаживание с помощью одного из видов весовой функции (окна).

Возможность использования ДПФ при вычислении ЦС вытекает из фундаментального свойства преобразования Фурье, гласящего, что Фурье-образ произведения двух временных сигналов эквивалент свертке преобразований от каждого из сомножителей и, наоборот, свертка сигналов во временной области соответствует умножению их Фурье-отображений и в частотной области. Поэтому возможно вычисление циклической (периодической) свертки косвенным путем – посредством выполнения обратного преобразования Фурье от произведения ДПФ исходных периодических временных последовательностей. Такое решение имеет существенное практическое значение в том случае, когда преобразования могут быть выполнены быстрее, чем сама свертка.

Эффективными процедурами вычисления ДПФ являются алгоритмы быстрого преобразования Фурье (БПФ), начало разработки которых было положено исследованиями Кули и Тьюки. Общий принцип построения алгоритмов БПФ заключается в разложении процесса нахождения ДПФ на вычисление преобразований последовательностей меньшего размера. Действительно, как видно из выражения (1), суть ДПФ заключается в получении суммы произведений вида

$$(3)$$

где W –

Весовая функция является периодической с интервалом N . Для заданного k при изменении n от нуля до $N-1$ произведение (2) также меняется периодически, причем число этих периодов

равно k . Более того, даже в пределах одного периода могут образовываться комплексно-сопряженные пары. Используя данные свойства, можно существенно уменьшить необходимое для вычислений число умножений. Для этого входная последовательность $x(t)$ разбивается на две вспомогательные последовательности - $y(t)$ и $z(t)$ (рис.13.3а) - так, что в $y(t)$ попадают отсчеты только с четными номерами, а в $z(t)$ - с нечетными, т.е.

$$\begin{matrix} y(t) & x(2k) \\ z(t) & x(2k+1) \end{matrix}$$

Тогда выражение (1) записывается

$$(4)$$

где $y(f)$ и $z(f)$ - ДПФ последовательностей $y(t)$ и $z(t)$ соответственно.

Вычислительные затраты на реализацию N - точечного ДПФ в соответствии с выражением (4) составляют по $(N/2)$ - точечных ДПФ $y(f)$ и $z(f)$ и дополнительно N операций на их соединение, тогда как прямое вычисление $G(f)$ по (1) требует N операций, что почти в два раза больше.

В выражении (4) индекс k изменяется от 0 до $N-1$. Однако $y(f)$ и $z(f)$ имеют период $N/2$ и вычисляются только в диапазоне от 0 до $N/2-1$. Используя свойство периодичности функции W

можно найти искомое соотношение и для $N/2 \leq k < N-1$. Окончательно получаем :

$$G(f) = \dots \quad (5)$$

Каждое из двух $N/2$ -точечных преобразований (если число их членов четно) может быть найдено повторением указанного приема, т.е. последовательности $y(t)$ и $z(t)$ снова разбиваются на две последовательности длиной $N/4$, причем для каждой их пары подбираются соответствующие весовые коэффициенты. Если является степенью числа 2, то последовательное прореживание входных значений может быть продолжено до получения двухточечных преобразований.

Данный алгоритм получил название БПФ с прореживанием по времени. Базовая операция его, называемая "бабочкой" (баттерфляй), состоит в получении выходных чисел P и Q из входных A и B в соответствии с выражением

$$P = A + W B; \quad Q = A - W B. \quad (6)$$

Очевидно, что значения, получаемые в результате выполнения базовой операции, могут быть хранимы в запоминающем устройстве на месте исходных операндов, что существенно сокращает требуемый объем запоминающих устройств. Алгоритм БПФ, в котором реализуется такая переадресация данных, получил название алгоритма с замещением.

Второй распространенной формой алгоритма БПФ является метод прореживания по частоте, суть которого заключается в выполнении ДПФ от вспомогательных подпоследовательностей $y(f)$ $z(f)$ половинной длины, получаемых из исходной в соответствии с выражением:

$$\begin{aligned} y(t) &= x(t) \\ z(t) &= [x(t) - x(t)]W \end{aligned} \quad (7)$$

Базовая операция БПФ с прореживанием по частоте имеет вид:

$$\begin{aligned} P &= A + B \\ Q &= (A - B)W \end{aligned} \quad (8) .$$